

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Государственное образовательное бюджетное учреждение
высшего профессионального образования
**«НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ТОМСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»**

Ф.А. Губарев, О.И. Андрущенко

ЦИФРОВЫЕ УСТРОЙСТВА

Практикум

Рекомендовано в качестве учебного пособия
Редакционно-издательским советом
Томского политехнического университета

Издательство
Томского политехнического университета
2012

УДК 621.382

ББК 32.844

Г93

Губарев Ф.А.

Г93 Цифровые устройства. Практикум: учебное пособие / Ф.А. Губарев, О.И. Андрющенко; Национальный исследовательский Томский политехнический университет. – Томск: Изд-во ТПУ, 2012. – 108 с.

В пособии изложены принципы функционирования основных узлов цифровой автоматики. Предложен комплекс практических заданий для закрепления студентами теоретического материала и навыков синтеза электронных схем на основе цифровых устройств.

Пособие подготовлено на кафедре промышленной и медицинской электроники Томского политехнического университета и предназначено для студентов, обучающихся по направлениям 210100 «Электроника и наноэлектроника» и 201000 «Биотехнические системы и технологии».

УДК 621.382

ББК 32.844

Рекомендовано к печати Редакционно-издательским советом
Томского политехнического университета

Рецензенты:

Доктор технических наук, профессор, начальник отдела информационных технологий ОАО «НПЦ «Полус»

Ю.М. Казанцев

Кандидат физико-математических наук, старший научный сотрудник лаборатории оптических излучений Института сильноточной электроники СО РАН

Д.В. Шитц

Кандидат технических наук, доцент кафедры промышленной и медицинской электроники Национального исследовательского Томского политехнического университета

Е.В. Ярославцев

© ГБОУ ВПО «Национальный исследовательский Томский политехнический университет», 2012.

© Губарев Ф.А., Андрющенко О.И., 2012.

© Обложка. Издательство Томского политехнического университета, 2012.

ВВЕДЕНИЕ

Вряд ли сейчас можно найти сферу нашей жизни, в которую не проникли бы в том или ином виде современные устройства цифровой электроники. Утром нас поднимает с постели электронный будильник, а наручные электронные часы сообщают нам о начавшемся новом дне недели и даже способны сыграть несколько бодрящих мелодий. Микроволновая печь подогревает нам завтрак, отсчитывая время до готовности. Направляясь на работу, мы едем на лифте, который доставляет нас на нужный этаж, а множество светофоров делают безопасным наше передвижение по улицам города. Работа современного предприятия в настоящее время немыслима без персональных компьютеров и специализированных ЭВМ, хранящих в своей памяти огромные объемы информации и способных быстро выдавать нужные сведения пользователю по первому требованию. Это лишь часть примеров применения цифровых схем логических цепей, регистров, счетчиков, таймеров, коммутаторов, дешифраторов, сумматоров, преобразователей и т.п., составляющих основу всех рассмотренных устройств – электронных часов, таймера, схем управления лифтом и светофором, ЭВМ.

Понимание физических принципов функционирования простейших цифровых устройств и методов проектирования сложных систем на их основе является первым необходимым условием того, чтобы создаваемые схемы бесперебойно работали и обеспечивали комфорт нашей жизни. Цифровой электронике принадлежит важнейшая роль в деле обеспечения высокой надежности создаваемых автоматических и автоматизированных систем, управляющих объектами, процессами и производственными системами.

Очевидно, что современные цифровые схемы все реже строятся с использованием отдельных микросхем простых логических элементов, счетчиков, регистров, триггеров. В то же время эти элементы, входя в состав более сложных схем, составляют основу программируемых логических интегральных схем (ПЛИС), микроконтроллеров и микропроцессоров. Поэтому знание основ цифровой техники необходимо при изучении дисциплин, связанных с устройствами микропроцессорной техники.

Данное учебное пособие представляет собой лабораторный практикум по дисциплине «Цифровые устройства». Пособие содержит методические указания к девяти лабораторным работам, охватывающим три основных раздела дисциплины: базовые логические элементы, комбинационные логические устройства (мультиплексоры, дешифраторы, арифметические устройства), последовательностные устройства (триг-

геры, счетчики, регистры). К каждой лабораторной работе приводятся необходимые теоретические сведения, а также контрольные вопросы для самостоятельной проверки студентами знаний по изученному материалу.

Предлагаемые для изучения логические схемы предполагают наличие лабораторного стенда, позволяющего осуществлять коммутацию заданных выводов микросхем. Коммутация на наборном поле может осуществляться либо вручную, либо с использованием автоматизированных систем. На кафедре промышленной и медицинской электроники Томского политехнического университета преподавание дисциплины «Цифровые устройства» ведется с использованием разработанной на кафедре системы натурального моделирования электронных схем [1, 2]. Лабораторный модуль УИК-1 имеет набор слотов для размещения интегральных микросхем в корпусах DIP14 и DIP16, а также набор встроенных элементов (генератор импульсов, счетчик, семисегментный индикатор, светоизлучающие диоды, кнопки). Модуль соединяется с персональным компьютером по шине USB. Электронная схема задается графически на экране персонального компьютера с использованием соответствующего программного обеспечения, а непосредственно синтез схемы происходит в самом модуле. Такая среда моделирования позволяет с использованием осциллографа наблюдать сигналы на любой ножке реальной интегральной схемы.

За основу при разработке настоящего пособия взяты методические указания [3], разработанные ранее для курса «Цифровые устройства». Лабораторный практикум расширен для работы с модулями УИК-1. Описание и цоколёвка используемых в лабораторных работах микросхем взяты из справочников [4–7].

Лабораторная работа № 1

СИНТЕЗ ЭЛЕКТРОННЫХ СХЕМ ПО ЗАДАННОЙ ФУНКЦИИ

1.1. ЦЕЛЬ РАБОТЫ

Настоящая лабораторная работа знакомит студентов с основными логическими функциями и реализующими их элементами на базе широко распространенной серии интегральных микросхем (ИМС) КР1533, развивает навыки минимизации заданных функций и синтеза схем в разных элементных базисах.

1.2. ПРЕДВАРИТЕЛЬНОЕ ЗАДАНИЕ

1. Изучить принцип работы микросхем: КР1533ЛА1, КР1533ЛА3, КР1533ЛА4, КР1533ЛЕ4, КР1533ЛЕ1.
2. Изучить вопросы минимизации булевых функций (БФ).
3. Провести минимизацию БФ по заданию преподавателя методом карт Карно. Получить минимизированное алгебраическое выражение в виде дизъюнктивной нормальной формы (ДНФ).
4. Реализовать полученную функцию в элементном базисе И-НЕ.
5. Представить диаграмму напряжений, реализуемую данной функцией, показать моменты времени, в которые возможно возникновение опасных состязаний.
6. Реализовать функцию в базисе ИЛИ-НЕ.
7. Представить диаграмму напряжений для данной схемы, а также показать моменты времени, в которые возможно возникновение опасных состязаний.

1.3. ОСНОВНЫЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Любая цифровая вычислительная машина состоит из логических схем – таких схем, которые могут находиться только в одном из двух возможных состояний – либо «логический ноль», либо «логическая единица». За логический 0 и логическую 1 можно принять любое выражение, в том числе и словесное, которое можно характеризовать как «истина» и «ложь». В электронной технике логические 0 и 1 – это определенные состояния электрических схем. Например, для логических элементов и схем, выполненных по ТТЛ-технологии (транзисторно-транзисторная логика), логический 0 – это напряжение в диапазоне от 0 до +0,4 В, а логическая 1 – это напряжение в диапазоне от +2,4 до +5 В.

Работа логических схем описывается посредством специального математического аппарата, который называется булевой алгеброй или алгеброй логики. Булева алгебра была разработана английским математиком и логиком Джорджем Булем (1815–1864 гг.), она является основой всех методов упрощения логических выражений.

1.3.1. Основные законы Булевой алгебры

Законы для одной переменной

$$\begin{array}{ll} X + 0 = X & X \times X = X \\ X \times 0 = 0 & X + \overline{X} = 1 \\ X + 1 = 1 & X \times \overline{X} = 0 \\ X \times 1 = X & \overline{\overline{X}} = X \\ X + X = X & \end{array}$$

Законы для двух и более переменных

1. Переместительный закон:

$$\begin{aligned} X + Y + Z &= Y + X + Z = Z + X + Y, \\ X \times Y \times Z &= Y \times X \times Z = Z \times X \times Y. \end{aligned}$$

2. Сочетательный закон:

$$\begin{aligned} X + Y + Z &= (X + Y) + Z = (Z + Y) + X, \\ X \times Y \times Z &= (X \times Y) \times Z = (Z \times Y) \times X. \end{aligned}$$

3. Распределительный закон:

$$\begin{aligned} X(Y + Z) &= X \times Y + X \times Z, \\ X + (Y \times Z) &= (X + Y)(X + Z). \end{aligned}$$

4. Закон поглощения:

$$\begin{aligned} X + X \times Y &= X(1 + Y) = X, \\ X(X + Y) &= X + XY = X. \end{aligned}$$

5. Закон склеивания:

$$\begin{aligned} X \times Y + \overline{X} \times Y &= Y(X + \overline{X}) = Y, \\ (X + Y)(\overline{X} + Y) &= \overline{X} \times X + X \times Y + Y \times \overline{X} + Y \times Y = Y. \end{aligned}$$

6. Теорема Де Моргана:

$$\begin{aligned} \overline{X + Y} &= \overline{X} \times \overline{Y}, \\ \overline{X \times Y} &= \overline{X} + \overline{Y}, \\ \overline{\overline{X + Y}} &= X + Y, \\ \overline{\overline{X \times Y}} &= X \times Y. \end{aligned}$$

1.3.2. Метод карт Карно

Метод карт Карно – это один из способов минимизации булевых функций. Карта Карно представляет собой своеобразную таблицу истинности. Каждой клетке карты Карно соответствует строка таблицы истинности. По осям карты расставляются сочетания переменных, а внутри карты – значения функции.

Назначение карты Карно – найти логические суммы прямого и инверсного значений переменных. Для любой переменной, например a , такая сумма равна $a + \bar{a} = 1$ при любом значении a : при $a = 0$ это будет $0+1=1$, при $a=1$ это $1+0=1$. Поэтому при вынесении за скобки в выражении

$$abc + \bar{a}bc = bc(a + \bar{a}) = bc \cdot 1 = bc$$

сумму $a + \bar{a} = 1$ можно отбросить, при этом результат выражения не изменится. В этом и заключается минимизация логических выражений с помощью карт Карно. В табл. 1.1–1.3 иллюстрируется, как записываются карты Карно разного ранга.

Таблица 1.1

Двухранговая карта Карно

B/A	0	1
0	\overline{AB}	$A\overline{B}$
1	$\overline{A}B$	AB

Таблица 1.2

Трёхранговая карта Карно

C/AB	00	01	11	10
0	\overline{ABC}	$\overline{A}B\overline{C}$	$A\overline{B}\overline{C}$	$A\overline{B}C$
1	$\overline{A}BC$	$\overline{A}B\overline{C}$	$A\overline{B}C$	$A\overline{B}\overline{C}$

Таблица 1.3

Четырёхранговая карта Карно

CD/AB	00	01	11	10
00	\overline{ABCD}	$\overline{A}B\overline{C}\overline{D}$	$A\overline{B}\overline{C}\overline{D}$	$A\overline{B}C\overline{D}$
01	$\overline{A}B\overline{C}\overline{D}$	$\overline{A}B\overline{C}D$	$A\overline{B}\overline{C}D$	$A\overline{B}C\overline{D}$
11	$\overline{A}B\overline{C}\overline{D}$	$\overline{A}B\overline{C}D$	$A\overline{B}\overline{C}D$	$A\overline{B}C\overline{D}$
10	$\overline{A}B\overline{C}\overline{D}$	$\overline{A}B\overline{C}D$	$A\overline{B}\overline{C}D$	$A\overline{B}C\overline{D}$

Порядок минимизации БФ с помощью карты Карно

1. Записывается алгебраическое выражение БФ в виде дизъюнктивной нормальной формы (как правило, совершенной).

2. В соответствии с количеством переменных выбирается соответствующий ранг карты Карно.
3. Записывается 1 в те клетки карты, слагаемые которых присутствуют в алгебраической записи заданной функции.
4. Объединяются общим контуром 2^n рядом стоящих 1.
5. В полученных контурах исключаются взаимодополняющие себя переменные.
6. Записывается минимизированное выражение БФ.

Пример 1. Минимизация функции и синтез в базисе И-НЕ

Задана БФ: $F = ABC\bar{D} + AB\bar{C}\bar{D} + \bar{A}\bar{B}CD + A\bar{B}CD + ABCD$. В табл. 1.4 приведены значения F при различных значениях A, B, C и D .

Таблица 1.4

Таблица истинности функции F

Дес. число	A	B	C	D	F
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	1

Для данной БФ четырехранговая карта Карно будет иметь вид, представленный на рис. 1.1.

Первый контур: $AB\bar{C}\bar{D} + AB\bar{C}D = AB\bar{C}(D + \bar{D}) = AB\bar{C}$.

Второй контур: $AB\bar{C}D + ABCD = ABD(C + \bar{C}) = ABD$.

Третий контур: $\bar{A}\bar{B}CD + A\bar{B}CD = \bar{B}CD(\bar{A} + A) = \bar{B}CD$.

В итоге получаем минимизированное выражение заданной БФ:

$$F = AB\bar{C} + ABD + \bar{B}CD.$$

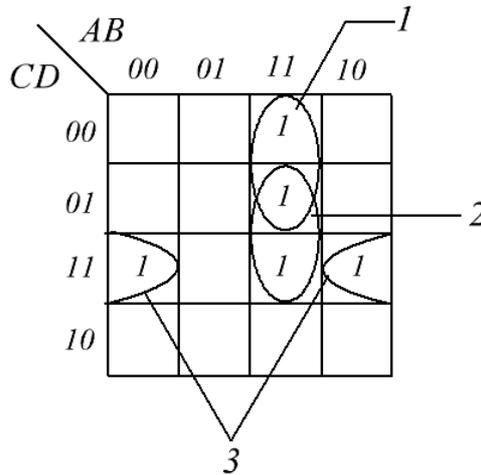


Рис. 1.1. Вид карты Карно для функции из примера 1

По теореме Де Моргана запишем функцию в базисе И-НЕ:

$$F = ABC\bar{C} + ABD + \bar{B}CD = \overline{\overline{ABC\bar{C}} \cdot \overline{ABD} \cdot \overline{\bar{B}CD}}.$$

Пример 2. Минимизация функции и синтез в базисе ИЛИ-НЕ

Задана БФ: $F = ABCD + ABC\bar{D} + AB\bar{C}D + \bar{A}BCD + \bar{A}BC\bar{D}$. В табл. 1.5 приведены значения F при различных значениях A, B, C и D .

Таблица 1.5

Таблица истинности функции F

Дес. число	A	B	C	D	F
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	0

Для данной БФ четырехгранговая карта Карно будет иметь вид, представленный на рис. 1.2.

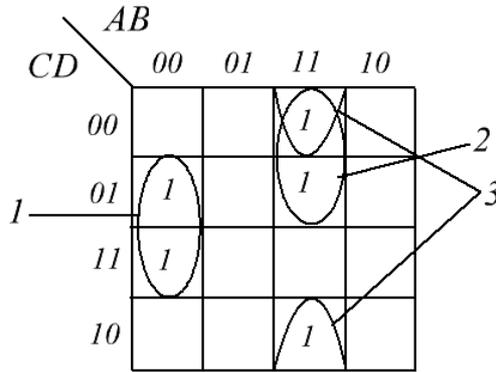


Рис. 1.2. Вид карты Карно для функции из примера 2

Первый контур: $\overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} = \overline{A}\overline{B}D$.

Второй контур: $AB\overline{C}\overline{D} + AB\overline{C}D = AB\overline{C}$.

Третий контур: $AB\overline{C}\overline{D} + AB\overline{C}D = AB\overline{D}$.

В итоге получаем минимизированное выражение заданной БФ:

$$F = \overline{A}\overline{B}D + AB\overline{C} + AB\overline{D}.$$

Выполнив преобразование по теореме Де Моргана, в базисе ИЛИ-НЕ получим следующий вид функции:

$$F = \overline{A}\overline{B}D + AB\overline{C} + AB\overline{D} = \overline{\overline{\overline{A}\overline{B}D}} + \overline{\overline{\overline{AB\overline{C}}}} + \overline{\overline{\overline{AB\overline{D}}}} = \overline{\overline{\overline{A+B+D}}} + \overline{\overline{\overline{A+B+C}}} + \overline{\overline{\overline{A+B+D}}}.$$

1.3.3. Интегральные микросхемы, используемые при выполнении лабораторной работы

ИМС КР1533ЛА1 – 2 элемента 4И-НЕ. На рис. 1.3 приведено её условно-графическое обозначение (УГО) и цоколёвка. Работу одной секции данной ИМС характеризует табл. 1.6.

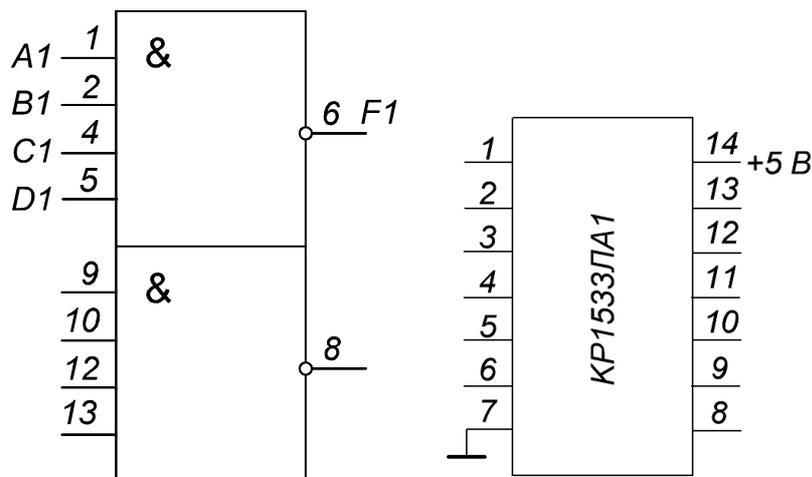


Рис. 1.3. УГО ИМС КР1533ЛА1 и её цоколёвка

Таблица 1.6

Таблица истинности одной секции ИМС КР1533ЛА1

Входы				Выход
<i>A1</i>	<i>B1</i>	<i>C1</i>	<i>D1</i>	<i>F1</i>
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

ИМС КР1533ЛА3 – 4 элемента 2И-НЕ. На рис. 1.4 приведено её УГО и цоколёвка. Работу одной секции данной ИМС характеризует табл. 1.7.

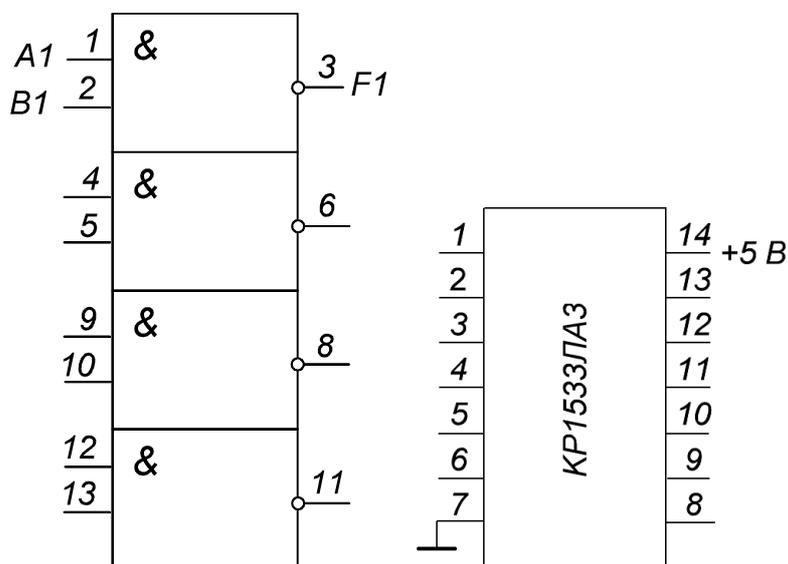


Рис. 1.4. УГО ИМС КР1533ЛА3 и её цоколёвка

Таблица 1.7

Таблица истинности одной секции ИМС КР1533ЛА3

Входы		Выход
<i>A1</i>	<i>B1</i>	<i>F1</i>
0	0	1
0	1	1
1	0	1
1	1	0

ИМС КР1533ЛА4 – 3 элемента ЗИ-НЕ. На рис. 1.5 приведено её УГО и цоколёвка. Работу одной секции данной ИМС характеризует табл. 1.8.

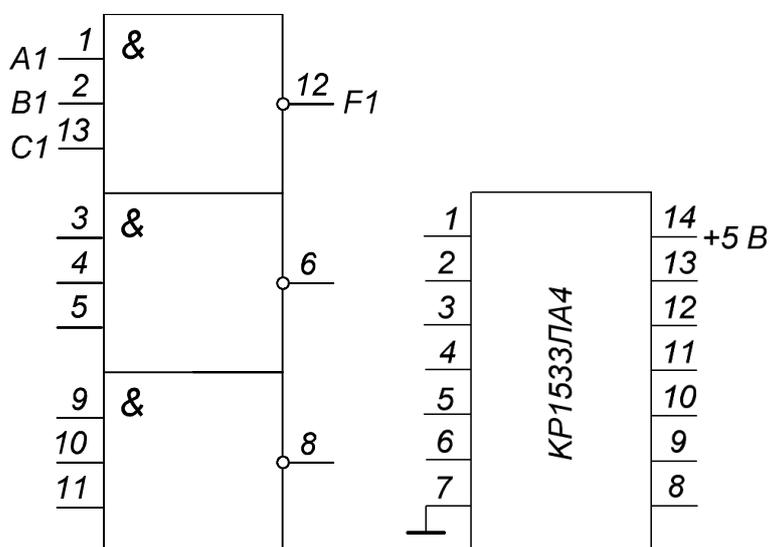


Рис. 1.5. УГО ИМС КР1533ЛА4 и её цоколёвка

Таблица 1.8

Таблица истинности одной секции ИМС КР1533ЛА4

Входы			Выход
<i>A1</i>	<i>B1</i>	<i>C1</i>	<i>F1</i>
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

ИМС КР1533ЛЕ1 – 4 элемента 2ИЛИ-НЕ. На рис. 1.6 приведено её УГО и цоколёвка. Работу одной секции ИМС характеризует табл. 1.9.

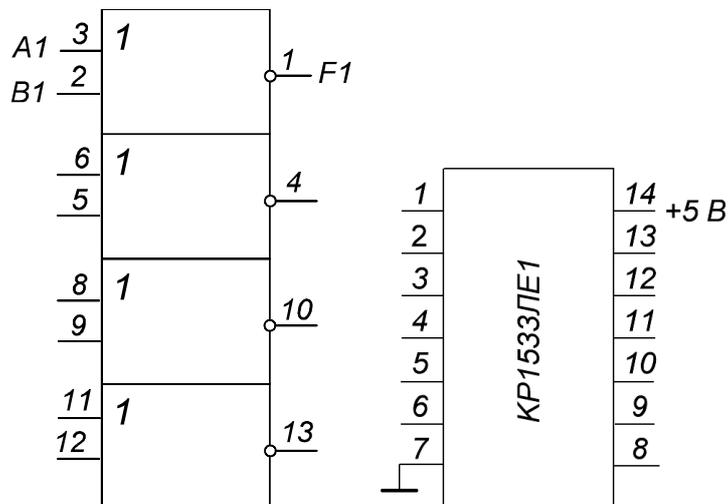


Рис. 1.6. УГО ИМС КР1533ЛЕ1 и её цоколёвка

Таблица 1.9

Таблица истинности одной секции ИМС КР1533ЛЕ1

Входы		Выход
A1	B1	F1
0	0	1
0	1	0
1	0	0
1	1	0

ИМС КР1533ЛЕ4 – 3 элемента 3ИЛИ-НЕ. На рис. 1.7 приведено её УГО и цоколёвка. Работу одной секции характеризует табл. 1.10.

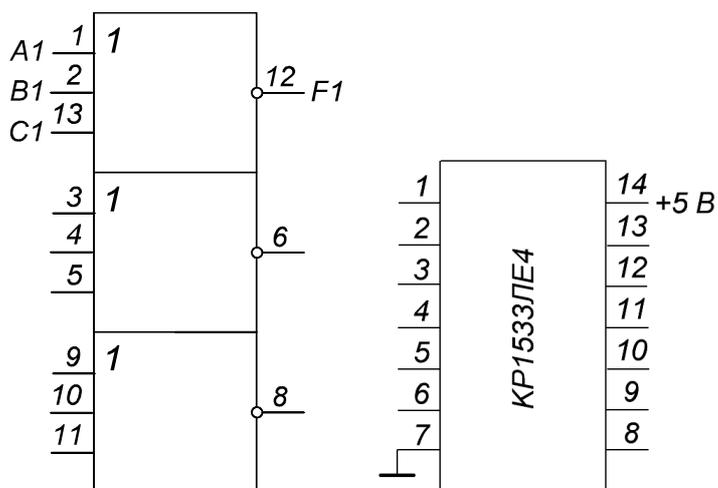


Рис. 1.7. УГО ИМС КР1533ЛЕ4 и её цоколёвка

Формирование переменных A , B , C и D осуществляется с помощью 4-х разрядного реверсивного счетчика КР1533ИЕ7. При этом на ножку +1 счетчика подаются сигналы с выхода встроенного делителя частоты, реализованного на микросхеме КР1533ИЕ19 или встроенного генератора импульсов. Номер выхода делителя частоты выбирается из условия устойчивой работы схемы. Для нормального функционирования счетчика КР1533ИЕ7 вход R должен быть заземлен.

На рис. 1.9 приведены диаграммы напряжений в схеме на рис. 1.6. В табл. 1.11. приведены ножки микросхем, подключаемых к общей точке и питанию.

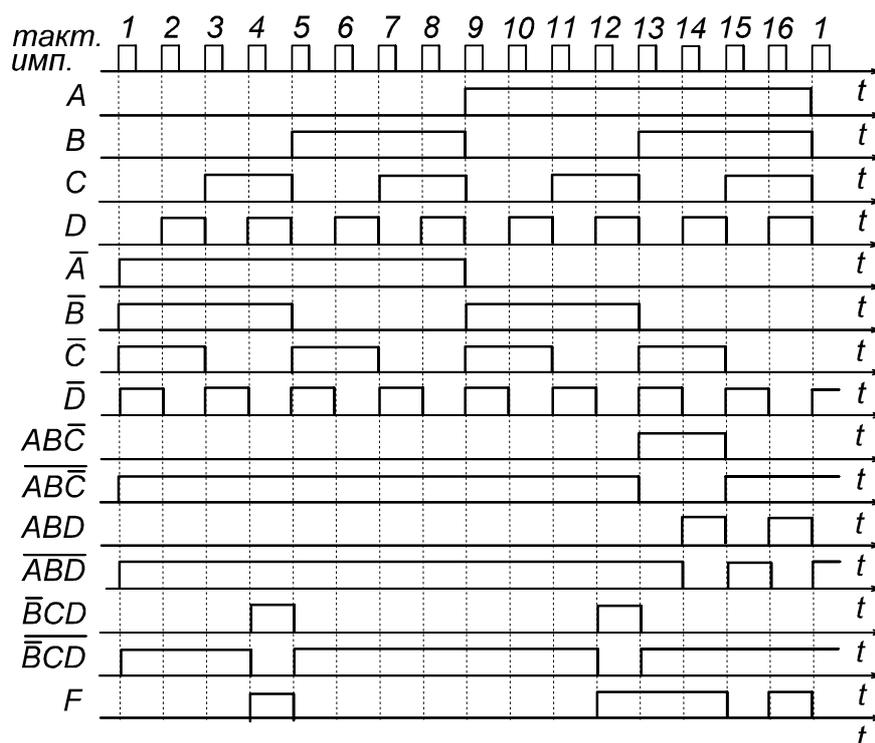


Рис. 1.9. Диаграммы напряжений в схеме на рис. 1.8

Таблица 1.11

ИМС в схеме на рис. 1.8

Тип ИМС	КР1533ИЕ7	КР1533ЛА4
Обозначение на схеме	DD1	DD2, DD3
Общий	8	7
+ 5В	16	14

Элементный базис ИЛИ-НЕ

На рис. 1.10 приведена реализация БФ (пример 2) в элементном базисе ИЛИ-НЕ. Формирование переменных A , B , C и D осуществляется аналогично предыдущему случаю.

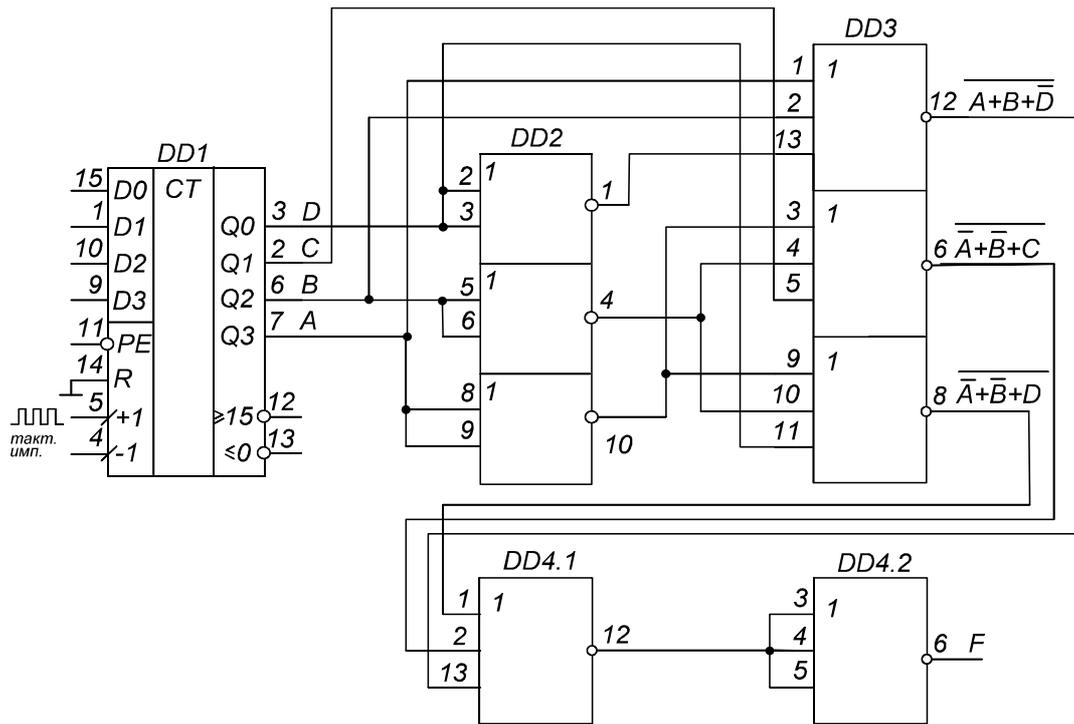


Рис. 1.10. Схема реализации БФ в базисе ИЛИ-НЕ

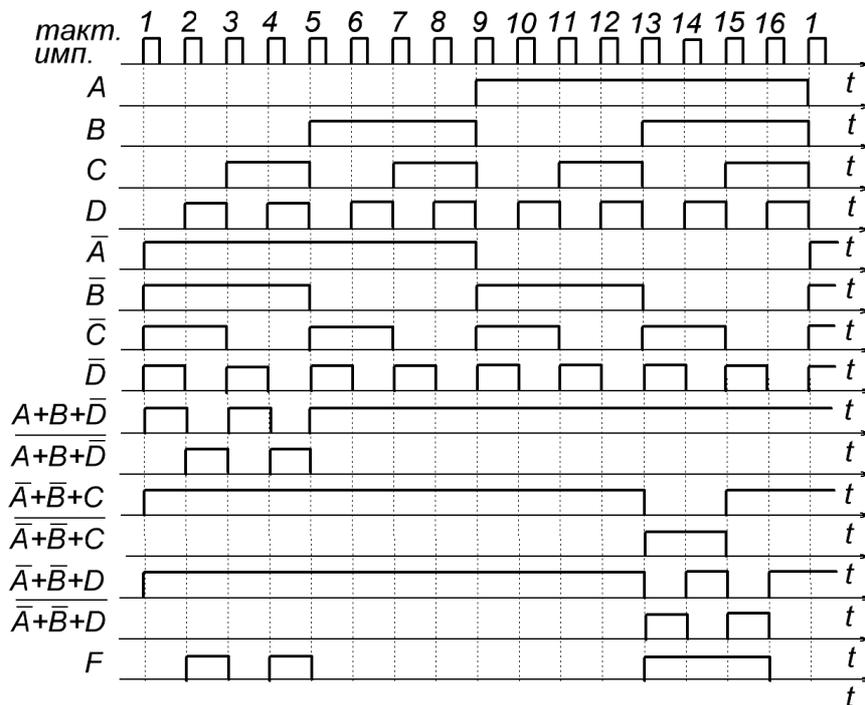


Рис. 1.11. Диаграммы напряжений в схеме на рис. 1.10

На рис. 1.11 приведены диаграммы напряжений для данной схемы. В табл. 1.12. приведены ножки микросхем, подключаемых к общей точке и питанию.

ИМС в схеме на рис. 1.10

Тип ИМС	КР1533ИЕ7	КР1533ЛЕ1	КР1533ЛЕ4
Обозначение на схеме	DD1	DD2	DD3, DD4
Общий	8	7	7
+ 5В	16	14	14

1.4. ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

В лабораторной работе используется лабораторный модуль УИК-1 с соответствующим программным обеспечением. Перед началом работ с модулем рекомендуется внимательно ознакомиться с составом модуля и программным обеспечением. Понять принцип моделирования электронных схем с использованием модуля УИК-1 и назначение команд в окне программы.

Модуль оснащен специальными разъемами с защелками для установки и фиксирования микросхем: 4 разъема для ИМС с 14 ножками и 4 разъема для ИМС с 16 ножками. Слева и справа от разъемов располагаются ряды металлизированных отверстий, которые соединены с соответствующими зажимами под ножки ИМС и предназначены для установки щупов осциллографа. Обратите внимание, что отверстия, соответствующие ножкам питания ИМС (7, 14 или 8, 16) отсутствуют.

Модуль имеет встроенный генератор импульсов, делитель частоты на основе двоичного счетчика КР1533ИЕ19, семисегментный индикатор и два светодиода с токоограничивающими резисторами, две кнопки, подключенные к общей шине и питанию через резистор, два сопротивления номиналом 1 кОм для формирования уровня логической 1 и две клеммы для подключения внешних устройств (генератора, осциллографа, вольтметра), которые могут быть включены в любую точку схемы. По умолчанию, встроенный генератор (микросхема SG51P) не отображается в окне программы, он должен быть включен путем установки «галочки» в меню «Скрыть/Показать элементы схемы». В этом меню можно выбрать, какие встроенные в модуль устройства будут отображаться на схеме.

Порядок работы на модуле:

1. Подключить модуль к компьютеру через USB-интерфейс.
2. Подключить модуль к сети ~220 В. Загорится светодиод зеленого цвета, сигнализирующий о наличии напряжения питания ИМС.
3. Открыть ярлык *ddevice.lnk* на рабочем столе Windows и в появившемся окне выбрать установку «Цифровые устройства».

4. Убедиться, что устройство готово к работе (соответствующая запись отображается в окне программы): «Устройство обнаружено». В случае если появилась запись «Устройство не обнаружено» или «Подготовка устройства», следует закрыть окно программы, отключить модуль из сети и повторить п.п. 1–3. В некоторых случаях требуется перезагрузка компьютера.

5. Вставить используемые ИМС в слоты в соответствии с количеством ножек. Не следует микросхемы с 14-ю ножками вставлять в слоты с 16-ю зажимами. Микросхемы должны располагаться в слотах ключом вверх. Модуль имеет встроенную разводку общей шины и шины питания, поэтому между левым нижним и правым верхним зажимами на всех слотах присутствует напряжение питания +5 В с момента подключения модуля к сети. **Будьте внимательны при установке микросхем!**

6. Собрать в окне программы требуемую схему. **При выполнении соединений будьте внимательны, чтобы несколько выводов ИМС не оказались соединенными вместе, равно как подключёнными к питанию или общей шине.**

7. Рекомендуется регулярно выполнять сохранение схемы (значок «Сохранить» на панели команд), чтобы не утратить результаты работы.

8. Нажать кнопку «Загрузить данные» на боковой панели программы. Только после этого информация об изменениях в схеме передается в модуль, и осуществляется коммутация.

Для регистрации формы и параметров выходной функции используется двухканальный осциллограф.

Набор микросхем простой логики для выполнения первой лабораторной работы: КР1533ЛА1, КР1533ЛА3, КР1533ЛА4, КР1533ЛЕ4, КР1533ЛЕ1. Для формирования переменных A , B , C , D применяется двоичный счетчик КР1533ИЕ7.

1.5. ПРОГРАММА РАБОТЫ

1. Подключить счетчик КР1533ИЕ7. С помощью встроенного делителя задать минимальную частоту следования тактовых импульсов, убедиться в наличии сигналов A , B , C и D .

2. Собрать на лабораторном стенде вариант логической схемы в базисе И-НЕ, согласно предварительному заданию.

3. Убедиться в правильности функционирования логической схемы, реализующей заданную функцию. Сравнить экспериментальные осциллограммы функций на выходе схемы и в промежуточных точках с результатами предварительного задания.

4. В случае несовпадения результатов найти ошибки, допущенные при сборке и подключении микросхем или в процессе минимизации БФ, и устранив их, добиться совпадения экспериментальных и теоретических диаграмм.

5. Увеличить частоту следования тактовых импульсов в 4–8 раз, сравнить диаграммы работы схемы с ранее полученными. В случае появления ложных значений функции найти причину и попытаться их устранить.

6. Повторить п.п. 4.2– 4.5 для функции в базисе ИЛИ-НЕ.

1.6. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Что такое тупиковая форма функции?
2. Пояснить возможность возникновения опасных состояний на примере синтезированной вами схемы.
3. Как составить таблицу истинности для трех аргументов $X_1X_2X_3$, если функция принимает значение 1, тогда когда X_2 принимает значение 1. Напишите булево выражение для функции, принимающей значение 1.
4. Как объединяются по выходам интегральные схемы с открытым коллектором?
5. Что такое логический элемент с тремя состояниями? Приведите пример.
6. Как объединяются по выходам интегральные схемы с тремя состояниями? Приведите пример.
7. Как поступают на практике с неиспользуемыми входами схем ТТЛ?
8. В каких пределах лежит уровень логической 1 элементов серий КМОП и ТТЛ?
9. Каким образом можно обеспечить уровень логической 1 (логического 0) на неиспользуемых входах схем ТТЛ?
10. В каком случае допускается соединение по выходу нескольких логических элементов.

Лабораторная работа № 2

ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРОВ И ПОСТРОЕНИЕ СХЕМ НА ОСНОВЕ МУЛЬТИПЛЕКСОРОВ

2.1. ЦЕЛЬ РАБОТЫ

В настоящей лабораторной работе ставится цель уяснения студентами функциональных возможностей мультиплексора в цифровых устройствах, закрепления в процессе проводимых исследований навыков контроля работы мультиплексоров в разных режимах их функционирования.

2.2. ПРЕДВАРИТЕЛЬНОЕ ЗАДАНИЕ

1. Изучить принцип действия, режимы работы и цоколёвку ИМС КР1533КП2 и КР1533КП7.
2. Изучить способы наращивания разрядности мультиплексоров.
3. Знать принципиальное отличие мультиплексоров ТТЛ и КМОП.
4. Изучить принцип реализации логических функций с помощью мультиплексоров.
5. Синтезировать схемы, реализующие логическую функцию, выбранную в лабораторной работе № 1, с использованием одной ИМС КР1533КП2, одной ИМС КР1533КП7, двух ИМС КР1533КП7.

2.3. ОСНОВНЫЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Мультиплексоры – цифровые многопозиционные переключатели (коммутаторы). Мультиплексоры способны выбирать, селективировать определенный канал. Поэтому их иногда называют селекторами. Используется и двойное название: селекторы-мультиплексоры. Мультиплексоры различаются по числу информационных и адресных входов, наличию входов разрешения и инверсных выходов, количеству элементов в одной ИМС.

Рассмотрим ИМС КР1533КП7 и КР1533КП2, функциональные возможности которых предлагается исследовать в данной лабораторной работе.

ИМС КР1533КП7 – мультиплексор, позволяющий коммутировать данные от 8 входов на общую выходную шину, которая представлена в

прямом и инверсном виде. На рис. 2.1 представлены УГО и цоколёвка данной ИМС.

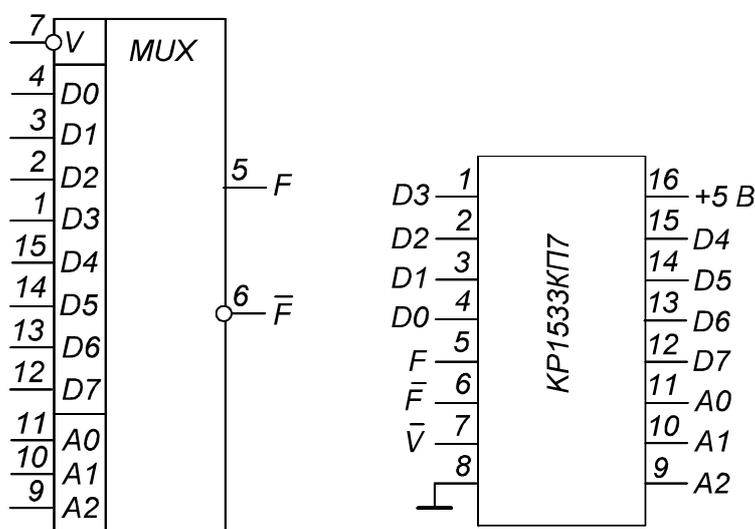


Рис. 2.1. УГО ИМС КР1533КП7 и её цоколёвка

Логическая функция, реализуемая ИМС КР1533КП7, имеет вид (по прямому выходу):

$$F = \bar{V}(A2A1A0D0 + A2A1A0D1 + A2A1A0D2 + \dots + A2A1A0D7).$$

Табл. 2.1 характеризует принцип действия ИМС КР1533КП7.

Таблица 2.1

Таблица истинности мультиплексора КР1533КП7

Входы				Выходы	
A2	A1	A0	\bar{V}	F	\bar{F}
x	x	x	1	0	1
0	0	0	0	D0	$\bar{D0}$
0	0	1	0	D1	$\bar{D1}$
0	1	0	0	D2	$\bar{D2}$
0	1	1	0	D3	$\bar{D3}$
1	0	0	0	D4	$\bar{D4}$
1	0	1	0	D5	$\bar{D5}$
1	1	0	0	D6	$\bar{D6}$
1	1	1	0	D7	$\bar{D7}$

Цифровая комбинация на адресных входах (A2, A1, A0) определяет, с какого из информационных входов сигналы на выходы будут переданы в прямом виде (вывод 5) и с какого – в инверсном виде (вывод 6).

Разрешающий вход \bar{V} (вывод 7) должен при этом находиться в состоянии логического 0. Уровень логической 1 на разрешающем входе \bar{V} запрещает коммутацию. При этом на прямом выходе F возникает уровень логического 0, а на инверсном выходе \bar{F} – уровень логической 1, вне зависимости от состояния информационных входов.

На рис. 2.2 приведена схема реализации БФ $F = \bar{B}CD + ACD + ABC\bar{C} + ABD$ на базе ИМС КР1533КП7 (см. также табл. 2.2). В этой схеме старшая переменная A поочередно разрешает работу мультиплексов DD3 и DD4, на каждом из которых реализована половина значений таблицы истинности функции (табл. 1.4), т.е. $F = F1$ при $A=0$, $F = F2$ при $A=1$. Путем суммирования переменных $F1$ и $F2$ получаем результирующую функцию F :

$$F = F1 + F2 = \overline{\overline{F1} \times \overline{F2}}$$

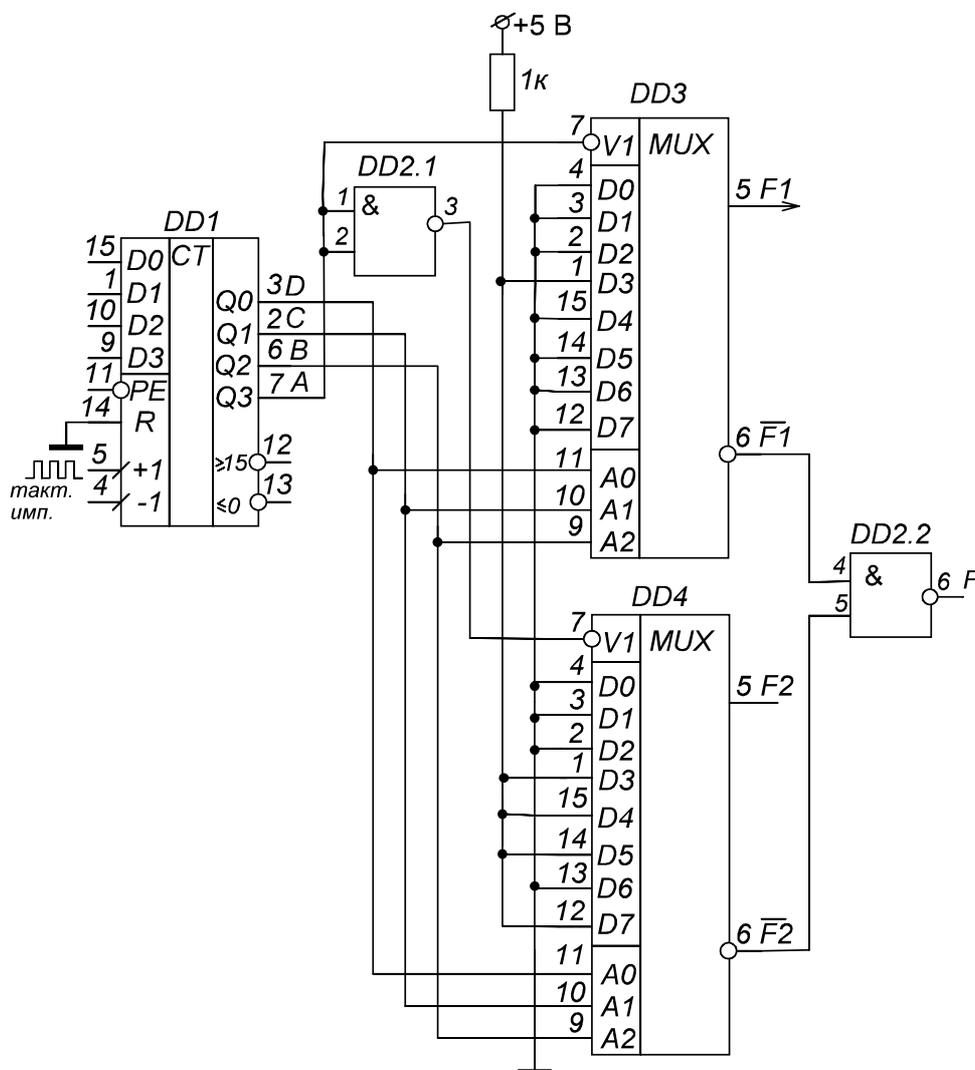


Рис. 2.2. Реализация БФ с использованием ИМС КР1533КП7

Таблица 2.2

ИМС в схеме на рис. 2.2

Тип ИМС Обозначение на схеме	КР1533ИЕ7 DD1	КР1533ЛА3 DD2	КР1533КП7 DD3, DD4
Общий	8	7	8
+ 5 В	16	14	16

На рис. 2.3 приведены диаграммы напряжений для схемы на рис. 2.2, на которых можно увидеть, в какие промежутки времени работают мультиплексоры DD3 ($F1$) и DD4 ($F2$). Как видно из диаграмм, результирующая функция F получилась такой же, как в лабораторной работе № 1 (рис. 1.9).

Рассмотренный пример реализации булевой функции с помощью двух мультиплексоров демонстрирует простейший способ увеличения разрядности мультиплексоров. Более подробному рассмотрению способов наращивания разрядности устройств выборки посвящена лабораторная работа № 3 (следующая).

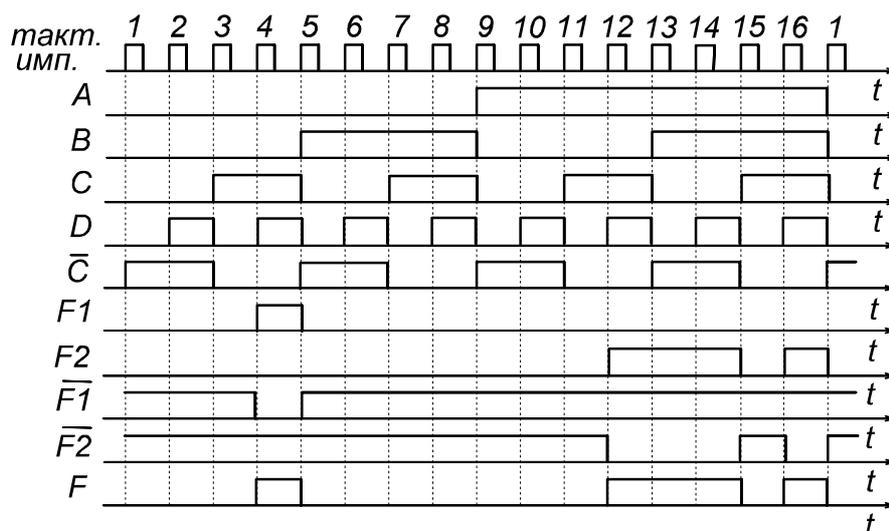


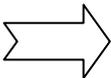
Рис. 2.3. Диаграммы напряжений в схеме на рис. 2.2

Для реализации БФ с использованием одной ИМС КР1533КП7 или КР1533КП2 заданную функцию F нужно представить в табличной форме и «связать» с одной из четырех переменных: A , B , C или D . В табл. 2.3–2.6 и на рис. 2.4 показано, как можно связать функцию F , значения которой взяты из лабораторной работы № 1 (см. табл. 1.4), с различными переменными и какие сигналы следует подать на входы мультиплексора в каждом случае. В табл. 2.3 показано, как можно связать функцию F с переменной A . В табл. 2.4 – с переменной B . В табл. 2.5 – с переменной C . В табл. 2.6 – с переменной D .

Таблица 2.3

Связь функции F с переменной A

Дес. число	B	C	D	A	F	
0	0	0	0	0	0	}0
8	0	0	0	1	0	
1	0	0	1	0	0	}0
9	0	0	1	1	0	
2	0	1	0	0	0	}0
10	0	1	0	1	0	
3	0	1	1	0	1	}1
11	0	1	1	1	1	
4	1	0	0	0	0	}A
12	1	0	0	1	1	
5	1	0	1	0	0	}A
13	1	0	1	1	1	
6	1	1	0	0	0	}0
14	1	1	0	1	0	
7	1	1	1	0	0	}A
15	1	1	1	1	1	

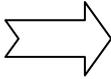


Дес. число	B	C	D	A	F
0	0	0	0	0	0
8	0	0	0	1	0
1	0	0	1	0	0
9	0	0	1	1	0
2	0	1	0	0	0
10	0	1	0	1	0
3	0	1	1	0	1
11	0	1	1	1	1
4	1	0	0	0	A
12	1	0	0	1	A
5	1	0	1	0	A
13	1	0	1	1	A
6	1	1	0	0	0
14	1	1	0	1	0
7	1	1	1	0	A
15	1	1	1	1	A

Таблица 2.4

Связь функции F с переменной B

Дес. число	A	C	D	B	F	
0	0	0	0	0	0	}0
4	0	0	0	1	0	
1	0	0	1	0	0	}0
5	0	0	1	1	0	
2	0	1	0	0	0	}0
6	0	1	0	1	0	
3	0	1	1	0	1	} \bar{B}
7	0	1	1	1	0	
8	1	0	0	0	0	} B
12	1	0	0	1	1	
9	1	0	1	0	0	} B
13	1	0	1	1	1	
10	1	1	0	0	0	}0
14	1	1	0	1	0	
11	1	1	1	0	1	}1
15	1	1	1	1	1	

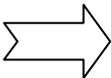


Дес. число	A	C	D	B	F
0	0	0	0	0	0
4	0	0	0	1	0
1	0	0	1	0	0
5	0	0	1	1	0
2	0	1	0	0	0
6	0	1	0	1	0
3	0	1	1	0	\bar{B}
7	0	1	1	1	\bar{B}
8	1	0	0	0	B
12	1	0	0	1	B
9	1	0	1	0	B
13	1	0	1	1	B
10	1	1	0	0	0
14	1	1	0	1	0
11	1	1	1	0	1
15	1	1	1	1	1

Таблица 2.5

Связь функции F с переменной C

Дес. число	A	B	D	C	F	
0	0	0	0	0	0	}0
2	0	0	0	1	0	
1	0	0	1	0	0	}C
3	0	0	1	1	1	
4	0	1	0	0	0	}0
6	0	1	0	1	0	
5	0	1	1	0	0	}0
7	0	1	1	1	0	
8	1	0	0	0	0	}0
10	1	0	0	1	0	
9	1	0	1	0	0	}C
11	1	0	1	1	1	
12	1	1	0	0	1	}C̄
14	1	1	0	1	0	
13	1	1	1	0	1	}1
15	1	1	1	1	1	

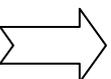


Дес. число	A	B	D	C	F
0	0	0	0	0	0
2	0	0	0	1	0
1	0	0	1	0	C
3	0	0	1	1	C
4	0	1	0	0	0
6	0	1	0	1	0
5	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
10	1	0	0	1	0
9	1	0	1	0	C
11	1	0	1	1	C
12	1	1	0	0	C̄
14	1	1	0	1	C̄
13	1	1	1	0	1
15	1	1	1	1	1

Таблица 2.6

Связь функции F с переменной D

Дес. число	A	B	C	D	F	
0	0	0	0	0	0	}0
1	0	0	0	1	0	
2	0	0	1	0	0	}D
3	0	0	1	1	1	
4	0	1	0	0	0	}0
5	0	1	0	1	0	
6	0	1	1	0	0	}0
7	0	1	1	1	0	
8	1	0	0	0	0	}0
9	1	0	0	1	0	
10	1	0	1	0	0	}D
11	1	0	1	1	1	
12	1	1	0	0	1	}I
13	1	1	0	1	1	
14	1	1	1	0	0	}D
15	1	1	1	1	1	



Дес. число	A		C	D	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	D
3	0	0	1	1	D
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	D
11	1	0	1	1	D
12	1	1	0	0	I
13	1	1	0	1	I
14	1	1	1	0	D
15	1	1	1	1	D

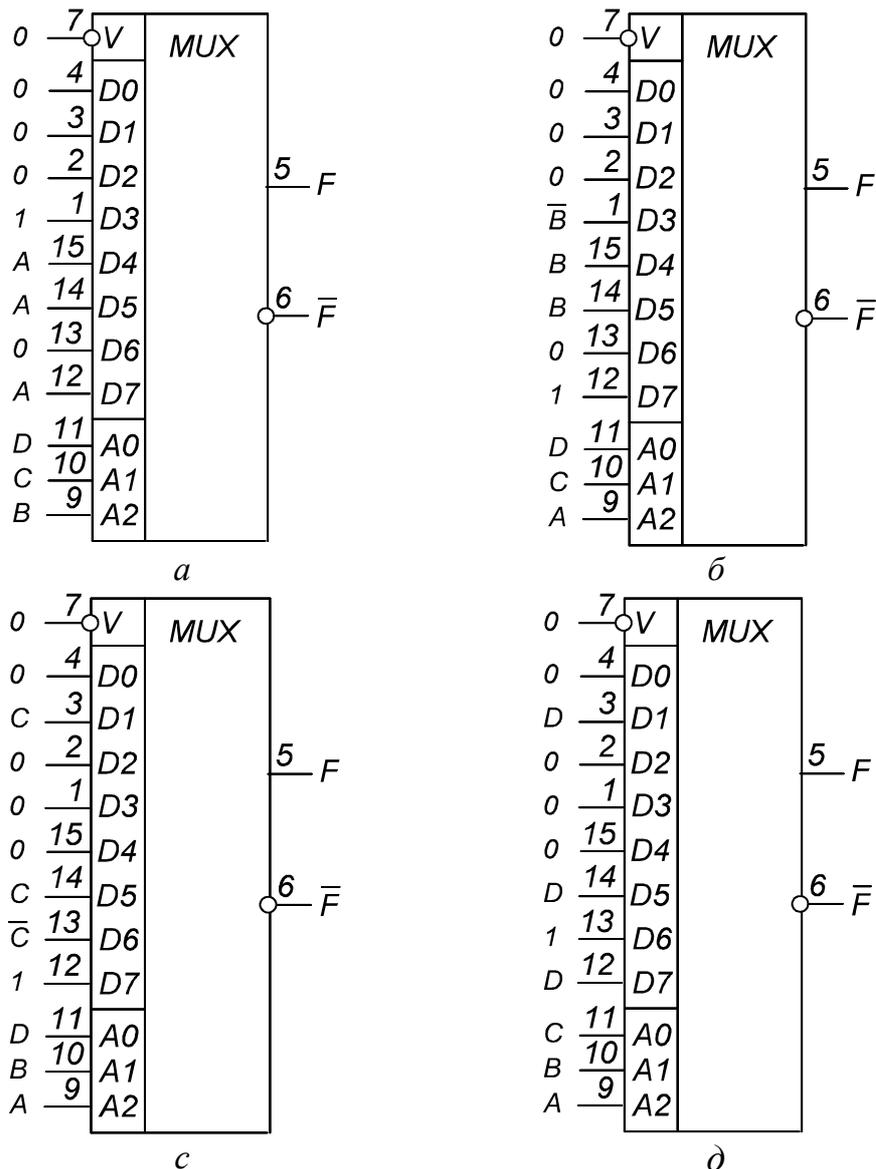


Рис. 2.4. Реализация БФ путем связи с переменными A (а), B (б), C (с) и D (д), согласно табл. 2.3–2.6

На рис. 2.5 приведена схема исследования метода реализации БФ, когда выходная функция связывается с одной из входных переменных. Схема реализована с использованием одной ИМС КР1533КП7, где в качестве адресных переменных используются сигналы, формируемые счетчиком КР1533ИЕ7, и заданная функция связана с переменной D (см. табл. 2.6 и рис. 2.4, д). Применение данного метода позволяет сократить на один количество адресных входов мультиплексора, т.е. использовать микросхемы с меньшим количеством входов данных.

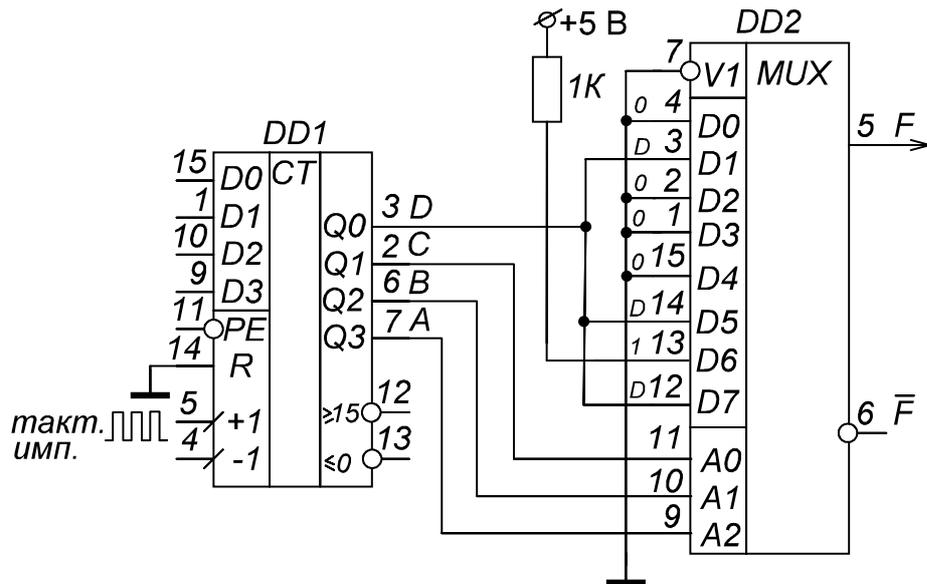


Рис. 2.5. Реализация БФ с использованием одной ИМС KP1533KP7 (DD1 – KP1533IE7, DD2 – KP1533KP7)

ИМС KP1533KP2 представляет собой два 4-х входовых мультиплексора, имеющих два адресных входа $A1$ и $A0$, являющихся общими для обоих мультиплексоров; $\bar{V1}$ и $\bar{V2}$ – входы разрешения (активный уровень – низкий). Два независимых выхода отображают тот уровень сигнала, который присутствует на выбираемом с помощью адреса информационном входе мультиплексора. На рис. 2.6 приведено УГО ИМС KP1533KP2 и её цоколёвка.

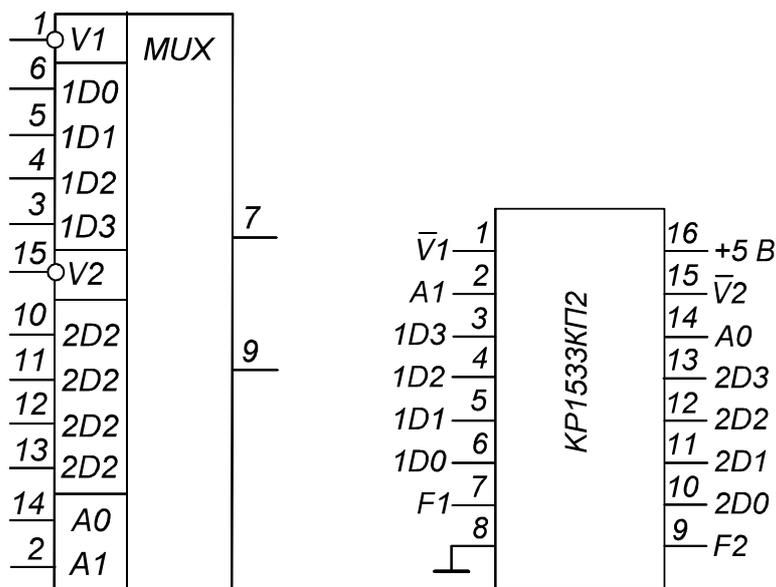


Рис. 2.6. УГО ИМС KP1533KP2 и её цоколёвка

Логическая функция, реализуемая каждой секцией ИМС КР1533КП2 имеет вид:

$$F = \bar{V}(\bar{A}\bar{1}\bar{A}\bar{0}D0 + \bar{A}\bar{1}A0D1 + A\bar{1}\bar{A}\bar{0}D2 + A\bar{1}A0D3).$$

Нормальное функционирование секции происходит тогда, когда потенциал разрешающего входа \bar{V} ($\bar{V1}$ или $\bar{V2}$) равен 0.

При $\bar{V1}=1$ или $\bar{V2}=1$ происходит блокирование соответствующей секции мультиплексора, и на его выходе устанавливается уровень логического 0, независимо от состояния его информационных входов $D0-D3$. Работу ИМС КР1533КП2 характеризует табл. 2.7.

Таблица 2.7

Таблица истинности мультиплексора КР1533КП2

Входы							Выход
\bar{V}	$A1$	$A0$	$D0$	$D1$	$D2$	$D3$	F
0	0	0	1/0	x	x	x	$D0$
0	0	1	x	1/0	x	x	$D1$
0	1	0	x	x	1/0	x	$D2$
0	1	1	x	x	x	1/0	$D3$
1	x	x	x	x	x	x	0

На рис. 2.7 приведена схема реализации БФ $F = \bar{B}CD + ACD + ABC\bar{C} + ABD$ на базе ИМС КР1533КП2 (см. также табл. 2.8), где данная функция связана с переменной D . Поскольку каждая секция мультиплексора имеет только 4 входа, потребовалось увеличить разрядность в два раза. В качестве сигналов, разрешающих работу мультиплексоров, используются сигналы C и \bar{C} . Таким образом, сигнал на выход схемы поступает поочередно с входов первого и второго мультиплексоров, т.е. сначала с $1D0$, затем с $2D0$, $1D1$, $2D1$ и т.д.

На рис. 2.8 приведены диаграммы напряжений в схеме на рис. 2.7, иллюстрирующие порядок выборки сигналов. Как видно из диаграмм, функция F имеет такой же вид, как на рис. 2.3 и в лабораторной работе № 1 (рис. 1.9). При этом количество и вид промежуточных сигналов будет определяться выбранным методом синтеза функции.

Таблица 2.8

ИМС в схеме на рис. 2.7

Тип ИМС	КР1533ЛА3	КР1533ИЕ7	КР1533КП2
Обозначение на схеме	DD2	DD1	DD3
Общий	7	8	8
+5 В	14	16	16

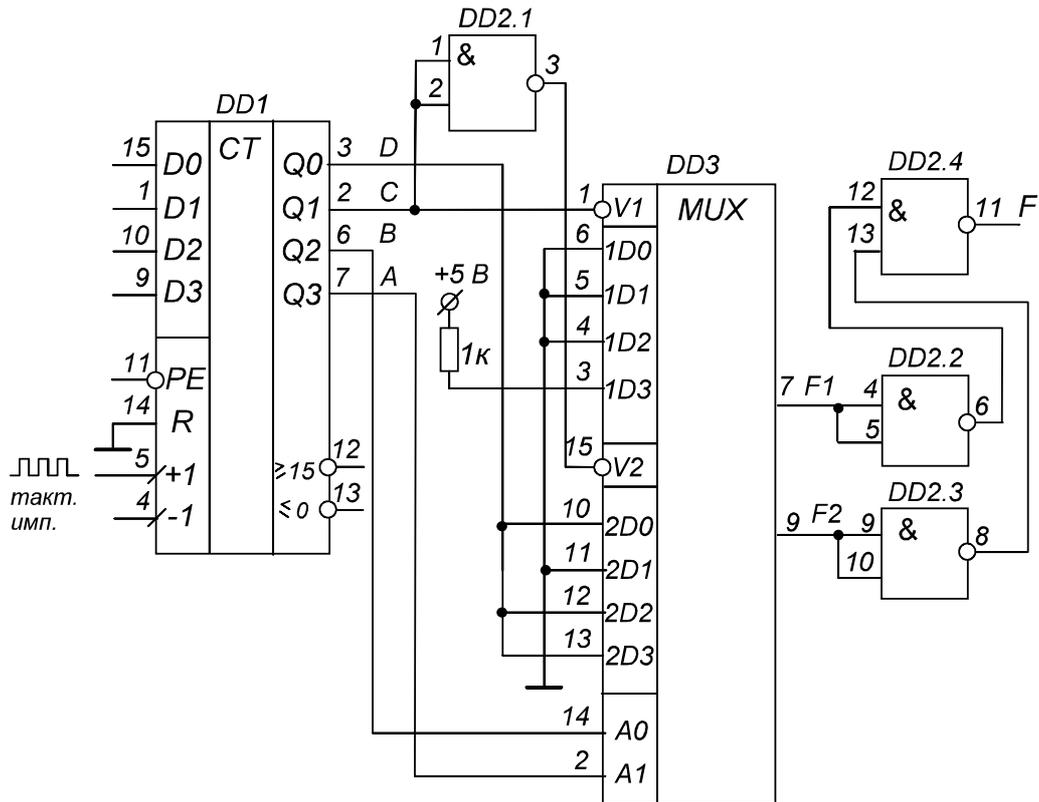


Рис. 2.7. Реализация БФ с использованием ИМС КР1533КП2

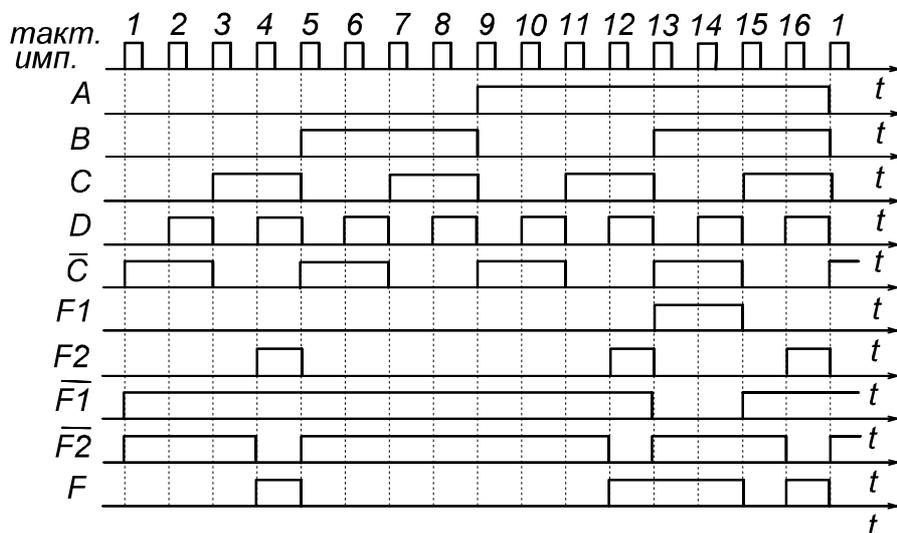


Рис. 2.8. Диаграммы напряжений в схеме на рис. 2.7

2.4. ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

В лабораторной работе используется модуль УИК-1 с набором моделей ИМС для 3 курса «Цифровые устройства». Порядок работы на модуле аналогичный описанному в п. 1.4.

Набор микросхем: КР1533ЛА3, КР1533КП2, КР1533КП7, КР1533ИЕ7 (для формирования переменных A, B, C, D).

2.5. ПРОГРАММА РАБОТЫ

1. Проверить принцип работы мультиплексора в статическом режиме, для чего на информационные и адресные входы подать произвольную комбинацию входных данных.

2. Изучить работу мультиплексора в качестве преобразователя параллельного двоичного кода в последовательный. Для этого по заданию преподавателя установить соответствующий код на информационных входах мультиплексора КР1533КП7, а на адресные входы подать поразрядно код со счетчика импульсов КР1533ИЕ7, работающего в режиме суммирования ($+1$). Снять осциллограммы напряжений на входах и выходах мультиплексора. Убедиться в преобразовании кода.

3. Реализовать на базе одного или двух мультиплексоров КР1533КП7 функцию 4-х переменных, заданную в лабораторной работе № 1 и реализованную с использованием простой логики. Убедиться в том, что мультиплексор выступает как генератор логических функций.

4. Реализовать функцию 4-х переменных с использованием ИМС КР1533КП2. Снять осциллограммы напряжений на адресных входах, входах разрешения, выходах мультиплексоров и на выходе всей схемы.

5. Сравнить полученные в п.п. 3 и 4 осциллограммы с результатами лабораторной работы №1. Сделать соответствующие выводы.

2.6. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Почему мультиплексоры иногда называют селекторами? Дайте определение мультиплексора.
2. Каковы отличия мультиплексоров ТТЛ и КМОП. Отличаются ли они по принципу действия, по функциональному назначению?
3. Каковы отличия между собой у мультиплексоров ТТЛ?
4. Какой будет выходная функция в схеме на рис. 2.5. при неисправности ножки $\overline{V1}$ (или $\overline{V2}$)?
5. Что такое Z-состояние мультиплексора?
6. Где могут использоваться мультиплексоры?
7. Принцип работы мультиплексора.
8. Определение демультимплексора, принцип работы.
9. Отличие построения демультимплексоров ТТЛ и КМОП.
10. Как с помощью мультиплексора осуществить преобразование параллельного двоичного кода в последовательный.

Лабораторная работа № 3

УВЕЛИЧЕНИЕ РАЗРЯДНОСТИ МУЛЬТИПЛЕКСОРОВ И ДЕШИФРАТОРОВ. ИЗУЧЕНИЕ СЕМИСЕГМЕНТНОГО ДЕШИФРАТОРА

3.1. ЦЕЛЬ РАБОТЫ

В настоящей лабораторной работе ставится цель закрепления студентами принципов увеличения разрядности устройств выборки на примере мультиплексоров и дешифраторов, а также особенностей работы семисегментных дешифраторов, широко применяемых в системах отображения информации.

3.2. ПРЕДВАРИТЕЛЬНОЕ ЗАДАНИЕ

1. Изучить принцип действия, режимы работы и цоколёвку ИМС КР1533КП2, КР1554ИД14 и 533ИД18.
2. Изучить принципы наращивания разрядности дешифраторов и мультиплексоров.
3. Знать схему подключения семисегментного индикатора и функции, реализуемые на выходах семисегментного дешифратора. Записать функции 4-х переменных для любых трех сегментов.

3.3. ОСНОВНЫЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Принцип действия, обозначение и назначение выводов ИМС мультиплексоров, в частности КР1533КП2 и КР1533КП7, подробно рассмотрены в п. 2.3. Перейдем непосредственно к рассмотрению принципа действия еще одного устройства выборки – дешифратора.

Дешифраторы (ДС – decoder) – устройства, которые преобразуют входной двоичный в выходной позиционный код. В любой момент времени дешифратор активизирует только один из n выходов. Выбор осуществляется при помощи управляющих сигналов, поступающих на соответствующие входы.

ИМС КР1554ИД14 состоит из двух двухвходовых дешифраторов, каждый из которых имеет вход разрешения, активное состояние которого определяется низким уровнем напряжения «0». Выходы дешифраторов – инверсные, т.е. активный уровень также «0». На рис. 3.1. приведено УГО ИМС КР1554ИД14 и её цоколёвка.

Логическая функция, реализуемая ИМС КР1554ИД14, имеет вид:

$$F0 = X1 + X0 + E0,$$

соответственно,

$$F1 = X1 + \overline{X0} + E0$$

и т.д.

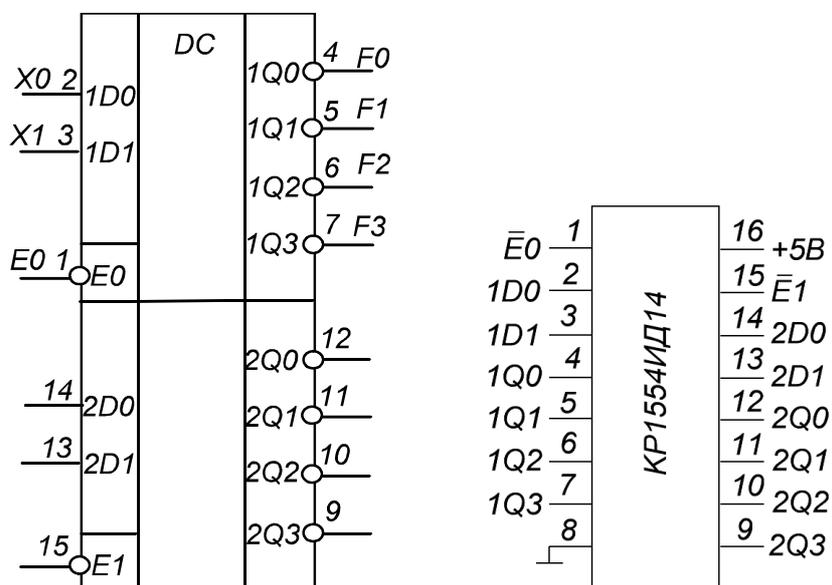


Рис. 3.1. УГО ИМС КР1554ИД14 и её цоколёвка

Работу одной секции ИМС КР1554ИД14 характеризует таблица 3.1.

Таблица 3.1

Таблица истинности КР1554ИД14

Входной код			Состояния на выходах			
$E0$	$X1$	$X0$	$F0$	$F1$	$F2$	$F3$
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0
1	x	x	1	1	1	1

В данной лабораторной работе рассматриваемый дешифратор будет использоваться для наращивания разрядности мультиплексора. Увеличение разрядности применяется в случае, когда необходимо коммутировать большее количество линий, чем позволяет имеющийся мультиплексор. Известны следующие основные методы увеличения разрядности мультиплексора.

Каскадное соединение мультиплексоров (последовательное соединение)

На рис. 3.2 показана реализация каскадного соединения мультиплексоров типа «1 из 4».

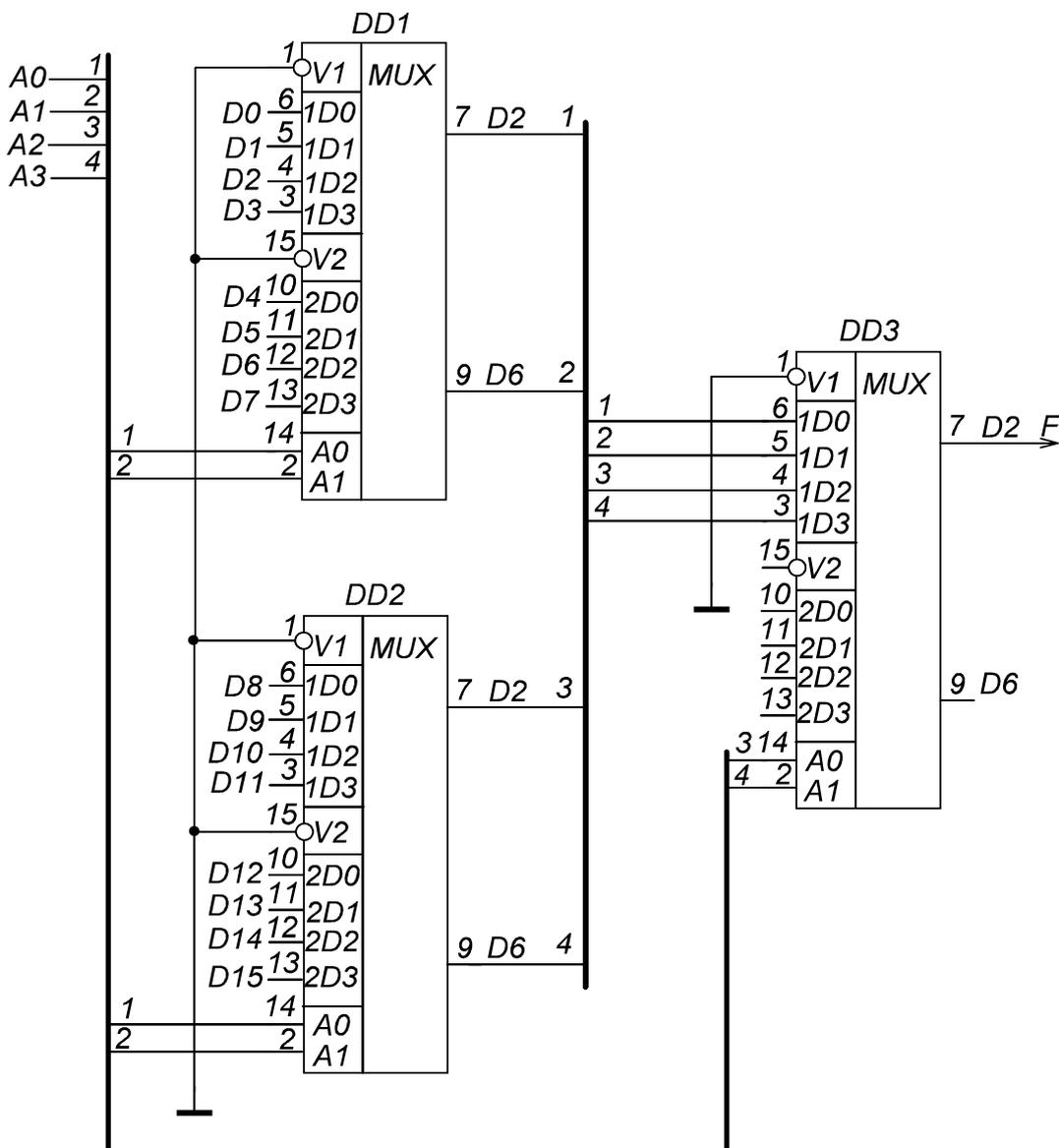


Рис. 3.2. Каскадное соединение мультиплексоров типа «1 из 4»
(DD1, DD2, DD3 – КР1533КП2)

Для выбора одного информационного входа из 16 необходимы 4 входные линии адреса: A3, A2, A1 и A0. Четыре базовых мультиплексора «1 из 4» обеспечивают выбор в зависимости от кода, поданного на A1 и A0, соответственно: первый – одного из сигналов D0, D1, D2 или D3, второй – из сигналов D4, D5, D6 или D7, третий – из сигналов D8, D9,

$D10$ или $D11$, четвертый – из сигналов $D12$, $D13$, $D14$ или $D15$. Пятый мультиплексор обеспечивает выбор одного из ранее выбранных сигналов (с выходов четырех мультиплексоров первого каскада) в зависимости от кода, подаваемого на $A3$ и $A2$. На входы разрешения работы \bar{V} всех мультиплексоров должен быть подан активный входной уровень (нулевой в случае КР1533КП2). При таком соединении могут использоваться мультиплексоры без входа разрешения

Например, определим какой сигнал $A3A2A1A0$ нужно подать, чтобы вывести на выход схемы $F1$ сигнал $D10$, приходящий на вход $1D2$ мультиплексора DD2. Вход $1D2$ соответствует цифре 2_{10} , таким образом, на адресные входы $A0A1$ необходимо подать сигнал 10_2 . В первом каскаде мультиплексоров DD1, DD2 будут выбраны сигналы $D2$, $D6$, $D10$, $D14$. Согласно схеме (рис. 3.2) мультиплексор DD3 должен подключить на выход ножку 4 (вход $1D2$), на которую приходит сигнал с выхода первой секции мультиплексора DD2. Код входа $1D2$ мультиплексора DD3 равен 2_{10} , таким образом, на адресные входы $A2A3$ следует подать сигнал 10_2 . Итак, чтобы $D10$ передалось на выход всей схемы, на адресных линиях $A3A2A1A0$ должен присутствовать код 1010_2 .

Параллельное соединение мультиплексоров

Параллельное соединение мультиплексоров реализуется с помощью дешифратора. Пример реализации показан на рис. 3.3 (см. также табл. 3.2). В данном примере используется дешифратор КР1554ИД14, для работы которого необходимо подать логический ноль на вход разрешения $\bar{E0}$. Для выбора одного информационного входа мультиплексоров из 16 необходимы 4 входные линии адреса: $A3$, $A2$, $A1$ и $A0$. Старшие разряды адреса $A3$ и $A2$ подаются на входы данных дешифратора. Соответствующие выходы DC подключаются к входу разрешения \bar{V} мультиплексоров (DD2, DD3). DC выбирает, какой из мультиплексоров DD2, DD3 будет работать. На выходах остальных мультиплексоров независимо от значений переменных D будет «0». Активный мультиплексор выбирает в зависимости от кода, поданного на $A1$ и $A0$, соответственно: первый – один из сигналов $D0$, $D1$, $D2$ или $D3$, второй – из сигналов $D4$, $D5$, $D6$ или $D7$, третий – из сигналов $D8$, $D9$, $D10$ или $D11$, четвертый – из сигналов $D12$, $D13$, $D14$ или $D15$. Сигналы с выходов мультиплексоров суммируются.

Например, при подаче $A3A2A1A0 = 0010_2 = 2_{10}$ на входы данных DC будет приходиться код $A3A2=00_2=0_{10}$, следовательно, будет разрешена работа только первого мультиплексора. На выходах остальных мультиплексоров будет логический 0, т.е. $F2=F3=F4=0$. На адресные входы

всех мультиплексоров поступает двоичный код $A1A0 = 10_2 = 2_{10}$, то на выход $F1$ DD2 будет передаваться информация с входа $1D2$, т.е. значение переменной $D2$. После суммирования на выходе всей схемы будет $F = F1 + F2 + F3 + F4 = 0 + 0 + 0 + D2 = D2$.

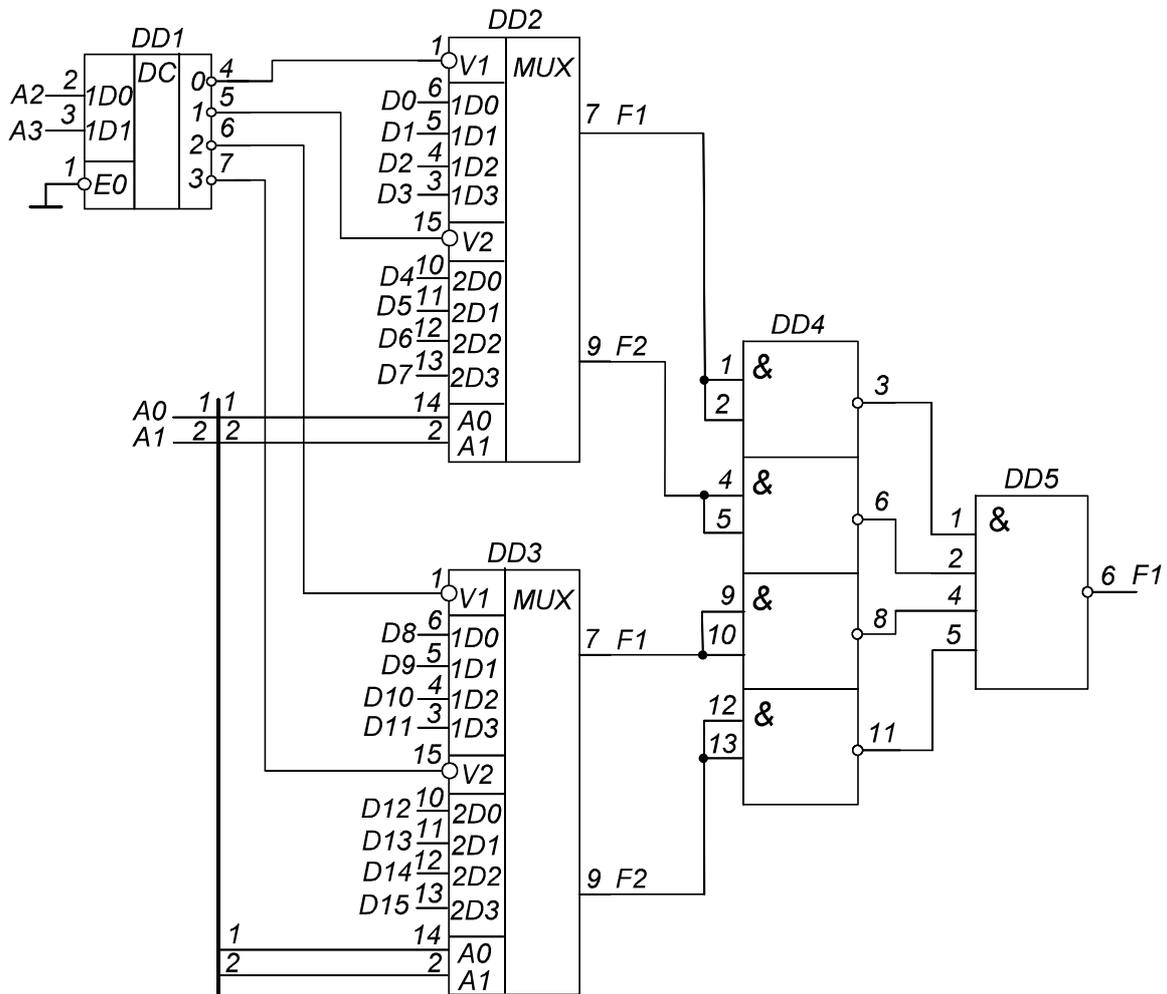


Рис. 3.3. Схема увеличения разрядности мультиплексора с помощью дешифратора

Таблица 3.2

ИМС в схеме на рис. 3.3

Тип ИМС Обозначение на схеме	КР1554ИД14 DD1	КР1533КП2 DD2, DD3	КР1533ЛА3 DD4	КР1533ЛА1 DD5
Общий	8	8	7	7
+5 В	16	16	14	14

Увеличение разрядности дешифраторов

Часто требуется осуществлять выборку из большего числа устройств, чем количество выходных линий имеющегося дешифратора. Увеличить разрядность дешифратора позволяет наличие входа разрешения. На рис. 3.4 показана простейшая схема увеличения разрядности дешифратора до 8 выходов с использованием сдвоенного дешифратора на 4 выхода и инвертора. Младшие разряды входного кода $X1X0$ подаются на одноименные входы данных обоих дешифраторов (обеих секций), старший разряд – на вход разрешения, причем на один из дешифраторов с инверсией. В зависимости от значения переменной $X2$, работает только одна из секций, при этом на всех выходах второй секции неактивные сигналы. Работу схемы увеличения разрядности дешифратора характеризует табл. 3.4.

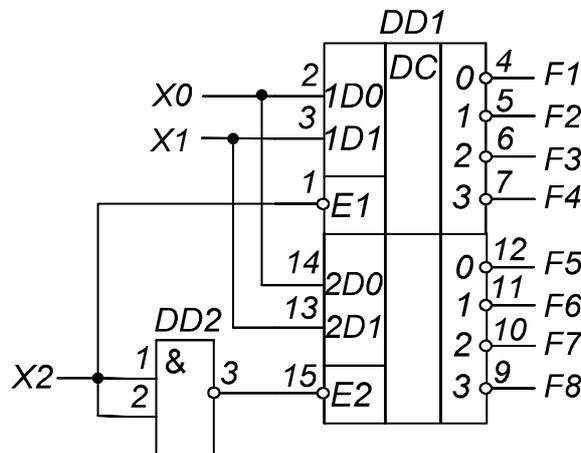


Рис. 3.4. Схема увеличения разрядности дешифратора на примере ИМС КР1554ИД14

Таблица 3.3

ИМС в схеме на рис. 3.4

Тип ИМС Обозначение на схеме	КР1554ИД14 DD1	КР1533ЛА3 DD2
Общий	8	7
+5 В	16	14

Аналогично параллельному способу наращивания разрядности мультиплексоров (рис. 3.3), может быть увеличена и разрядность дешифраторов. Например, для реализации дешифратора на 16 выходов потребуется 5 дешифраторов на 4 выхода с входами разрешения. При этом первый дешифратор DC1 (на его входы подаются старшие разряды входного кода) осуществляет выбор, какой из последующих четырех

DC2–DC5 будет работать. Соответственно, сигналы с выходов DC1 подключаются к входам разрешения DC2–DC5, а одноименные информационные входы *D0* и *D1* соединяются между собой и подключаются к младшим разрядам входного кода.

Таблица 3.4

Увеличение разрядности дешифратора (рис. 3.4)

Входы			Выходы							
<i>X2</i>	<i>X1</i>	<i>X0</i>	<i>F0</i>	<i>F1</i>	<i>F2</i>	<i>F3</i>	<i>F4</i>	<i>F5</i>	<i>F6</i>	<i>F7</i>
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Изучение семисегментного дешифратора

Семисегментные дешифраторы используются для преобразования двоичного кода в семисегментный код. Семисегментный код необходим для отображения на цифровых индикаторах цифр от 0 до 9. Код называется семисегментным, поскольку цифры отображаются в виде так называемых сегментов (рис. 3.5, *a*), часто индикатор имеет дополнительно еще один сегмент – точку. Как правило, семисегментные дешифраторы – это элементы с открытым коллектором (инверсный выход) или открытым эмиттером (прямой выход). В паре с такими дешифраторами используются индикаторы с объединенными анодами или катодами, соответственно.

Для использования в данной лабораторной работе выбран семисегментный дешифратор 533ИД18 (также можно использовать 555ИД18) с открытыми коллекторными выходами. На рис. 3.5 приведено УГО и цоколёвка ИМС 533ИД18.

ИМС 533ИД18 представляет собой дешифратор-формирователь для преобразования двоично-десятичного кода в семисегментный. Предназначен для работы на индикатор с общим анодом, который подключается к выходам *a–g* (активный низкий уровень). На входы *X0–X3* подается число в двоичном коде. При возбуждении сигналом низкого уровня вход контроля свечения (*LT*) активизирует все выходы от *a* до *g*. При подаче такого же возбуждающего сигнала на гасящий вход (*B1*) обеспечивается появление высокого уровня на всех выходах, что вызы-

вает сброс прежних показаний индикатора. При возбуждении сигналом низкого уровня входов последовательного гашения (*RB1*) сброс индикатора осуществляется только в том случае, если на нем высвечены нули. Когда вход *RB1* активизируется, вывод с обозначением *B1/RB0* временно становится выходом сигнала последовательного гашения (*RB0*) и сигнал высокого уровня на нем сменяется сигналом низкого уровня. Напомним, что «гашение» означает прекращение свечения всех светодиодов индикатора.

На рис. 3.6 показана схема подключения семисегментного индикатора с общим анодом к дешифратору 533ИД18.

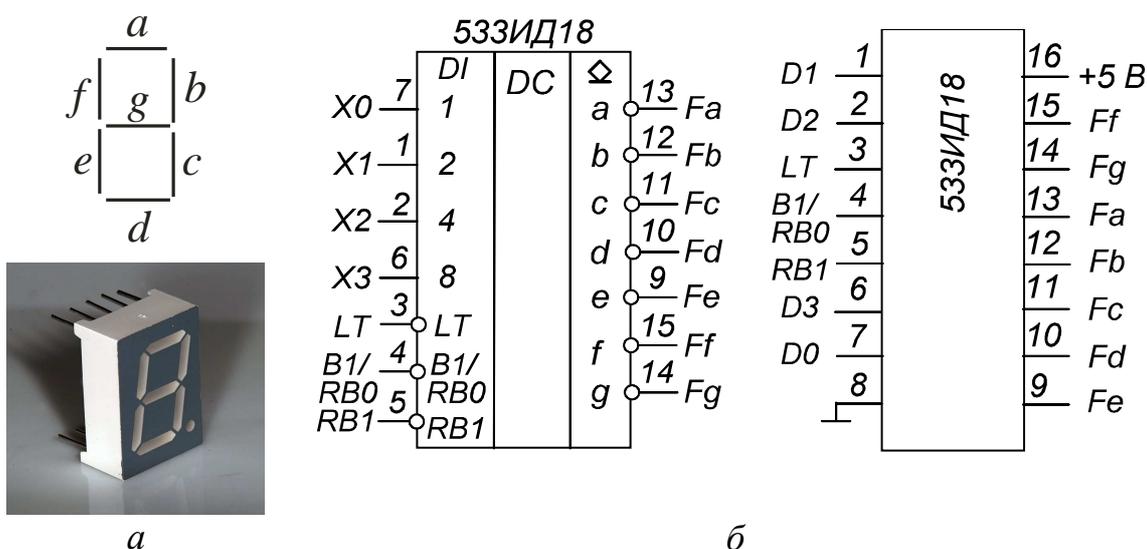


Рис. 3.5. Внешний вид семисегментного индикатора (а), УГО и цоколёвка ИМС 533ИД18 (б)

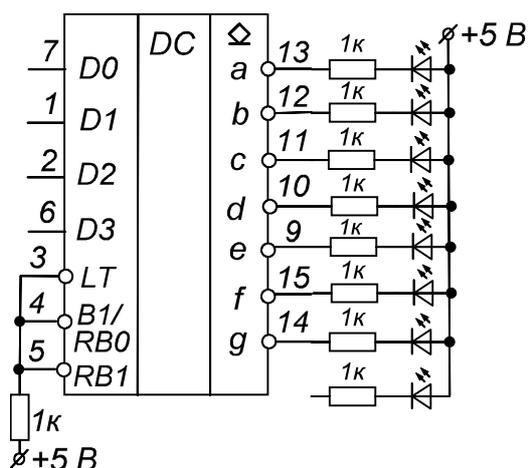


Рис. 3.6. Схема подключения семисегментного индикатора к дешифратору 533ИД18 (555ИД18)

Таблица 3.5

Таблица истинности дешифратора 533ИД18

Десятичные числа или функцио- нальное назначение	Входной код						<i>B1/ RBO</i>	Выходы						
	<i>LT</i>	<i>RBI</i>	<i>X3</i>	<i>X2</i>	<i>X1</i>	<i>X0</i>		<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>
0	1	1	0	0	0	0	1	0	0	0	0	0	0	1
1	1	x	0	0	0	1	1	1	0	0	1	1	1	1
2	1	x	0	0	1	0	1	0	0	1	0	0	1	0
3	1	x	0	0	1	1	1	0	0	0	0	1	1	0
4	1	x	0	1	0	0	1	1	0	0	1	1	0	0
5	1	x	0	1	0	1	1	0	1	0	0	1	0	0
6	1	x	0	1	1	0	1	1	1	0	0	0	0	0
7	1	x	0	1	1	1	1	0	0	0	1	1	1	1
8	1	x	1	0	0	0	1	0	0	0	0	0	0	0
9	1	x	1	0	0	1	1	0	0	0	0	1	0	0
10	1	x	1	0	1	0	1	1	1	1	0	0	1	0
11	1	x	1	0	1	1	1	1	1	0	0	1	1	0
12	1	x	1	1	0	0	1	1	0	1	1	1	0	0
13	1	x	1	1	0	1	1	0	1	1	0	1	0	0
14	1	x	1	1	1	0	1	1	1	1	0	0	0	0
15	1	x	1	1	1	1	1	1	1	1	1	1	1	1
<i>B1</i>	x	x	x	x	x	x	0	1	1	1	1	1	1	1
<i>RBI</i>	1	0	0	0	0	0	0	1	1	1	1	1	1	1
<i>LT</i>	0	x	x	x	x	x	1	0	0	0	0	0	0	0

Работу дешифратора характеризует табл. 3.5. Пояснения к таблице:

- для строк с 0 по 15: гасящий вход *B1* необходимо разомкнуть или иметь на нем сигнал высокого логического уровня, когда на выходе желательно получить изображения 0–15. Вход последовательного гашения *RBI* должен быть разомкнут или иметь высокий логический уровень, если подавление десятичного нуля нежелательно.
- для строки *B1*: когда напряжение низкого уровня поступает непосредственно на гасящий вход *B1*, все сегментные выходы оказываются выключенными безотносительно к уровням любых других входов.
- для строки *RBI*: когда напряжение на входе *RBI* и напряжение на входах *X0*–*X3* имеют низкий уровень, и при этом напряжение на *LT* имеет высокий уровень, все сегментные выходы выключаются, и уровень *RBO* становится низким (условие срабатывания).

- для строки *LT*: когда гасящий вход/выход последовательного гашения (*B1/RB0*) разомкнут или поддерживается напряжение высокого уровня, а вход *LT* подается напряжение низкого уровня, все сегментные выходы оказываются включенными.

- символом «х» обозначены нерабочие входы.

Следует заметить, что сигналы на входе соответствуют десятичным числам 10, 11, 12, 13, 14 и 15 вызывают появление на выходе дешифратора 533ИД18 специфических сигналов, соответствующих неполным цифровым изображениям на индикаторе.

3.4. ЛАБОРАТОРНЫЙ СТЕНД

В лабораторной работе исследуются ИМС мультиплексора КР1533КП2 и дешифраторов КР1554ИД14 и 533ИД18. Лабораторный стенд имеет встроенный семисегментный индикатор со встроенными токозадающими резисторами. Точки подключения проводников обозначаются соответствующими буквами от *a* до *g* для сегментов и *h* – точка. Реализация необходимых включений ИМС производится на наборном поле лабораторного стенда УИК-1 с привлечением стандартного оборудования: осциллографа, персонального компьютера.

3.5. ПРОГРАММА РАБОТЫ

1. Увеличить разрядность мультиплексора КР1533КП2 путем каскадного соединения (рис. 3.2) и проверить правильность работы схемы путем установки заданного преподавателем адреса и подачи произвольной последовательности прямоугольных импульсов на соответствующий вход одного из мультиплексоров.

2. Реализовать логическую функцию 4-х переменных. Используется функция, реализованная ранее в лабораторных работах 1 и 2. В качестве источника логических переменных использовать счетчик КР1533ИЕ7, работающий в режиме суммирования. Снять осциллограммы напряжений на адресных входах и выходе мультиплексора.

3. Увеличить разрядность мультиплексора КР1533КП2 методом параллельного соединения (рис. 3.3) и проверить правильность работы схемы путем установки заданного преподавателем адреса и подачи произвольной последовательности прямоугольных импульсов на соответствующий вход одного из мультиплексоров.

4. Реализовать логическую функцию 4-х переменных методом параллельного соединения. Сравнить полученные результаты с полученными ранее в п. 2 и предыдущих лабораторных работах. Сделать выводы.

5. Проверить принцип работы дешифратора КР1554ИД14 в статическом режиме, для этого подать на информационные входы заданный преподавателем код.

6. Реализовать увеличение разрядности дешифратора до 8 с использованием схемы на рис. 3.4, проверить работу схемы, подав в качестве сигналов $X3X2X1$ переменный двоичный код. Код формируется с помощью счетчика КР1533ИЕ7.

7. Сформировать на встроенном семисегментном индикаторе изображение заданной цифры, подключив соответствующие входы к источнику питания либо нулевому потенциалу.

8. Подключить дешифратор 533ИД18 к семисегментному индикатору. По заданию преподавателя вывести на индикатор заданную цифру (рис. 3.7).

9. Исследовать работу дешифратора при входных числах больше 9. Сделать выводы.

3.6. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Как построить мультиплексор 16 на 1 на основе мультиплексоров КР1533КП7? Привести схему в отчете.
2. Как построить мультиплексор 16 на 1 на основе мультиплексоров КР1533КП2? Привести схему в отчете.
3. Приведите практические примеры мультиплексирования. Для чего оно используется?
4. Определение дешифратора. Принцип работы, таблица истинности. Практическое применение дешифраторов.
5. Можно ли нарастить разрядность дешифратора, если используются дешифраторы без входа разрешения? Если можно, то каким образом?
6. Семисегментный индикатор. Устройство. Разновидности.
7. Поясните, что такое семисегментный код и как он формируется.
8. Реализуйте наращивание разрядности дешифратора на 8 выходов для получения дешифратора на 16 выходов.
9. Каким образом реализовать демультиплексор с четырьмя выходами на базе DC 533ИД14.
10. Синтезируйте схему 8-разрядного демультиплексора на базе DC 533ИД14 и логических элементов.

Лабораторная работа № 4

ОРГАНИЗАЦИЯ И ИССЛЕДОВАНИЕ СХЕМ ПОЛУСУММАТОРА И СУММАТОРА НА ОСНОВЕ МУЛЬТИПЛЕКСОРОВ И ЭЛЕМЕНТОВ ПРОСТОЙ ЛОГИКИ

4.1. ЦЕЛЬ РАБОТЫ

Настоящая лабораторная работа знакомит студентов с выполнением арифметических действий над двоичными числами, с одной стороны, и реализацией простейших арифметических устройств с использованием мультиплексоров и элементов простой логики, с другой.

4.2. ПРЕДВАРИТЕЛЬНОЕ ЗАДАНИЕ

1. На примере сложения одноразрядных двоичных чисел уметь составить таблицы истинности полусумматора и полувычитателя, записать уравнение.
2. Составить схему полусумматора в элементном базисе И-НЕ.
3. Изучить принцип работы полусумматора-полувычитателя (рис. 4.2), его логическую структуру.
4. Построить диаграммы работы полусумматора и полувычитателя.
5. Изучить принципы работы одноразрядного и двухразрядного сумматоров.
6. На основе таблицы 4.12 синтезировать схему одноразрядного вычитателя с использованием ИМС КР1533КП2.

4.3. ОСНОВНЫЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

В данной лабораторной работе исследуются простые арифметические устройства, особенность которых состоит в том, что сигналам приписываются не логические, а арифметические значения 1 и 0, и действия над ними подчиняются законам двоичной арифметики. В данной лабораторной работе организуются и исследуются схемы полусумматора на базе простой логики ИМС КР1533ЛА3, КР1533ЛП5, одноразрядного и двухразрядного сумматоров на базе ИМС мультиплексоров КР1533КП2.

Сумматоры представляют собой функциональные узлы, выполняющие операцию сложения двоичных чисел. По характеру функционирования сумматоры делятся на две категории: комбинационные, не имеющие элементов памяти, и накопительные – сохраняющие результа-

ты своих вычислений. В свою очередь, каждый из сумматоров, в зависимости от способа обработки чисел, может быть отнесен к последовательному или параллельному типу. Как те, так и другие, строятся на основе одноразрядных суммирующих схем. Поэтому в лабораторной работе рассматриваются основы построения простейших схем полусумматоров и одноразрядных полных сумматоров.

Сложение чисел в последовательных сумматорах осуществляется поразрядно, последовательно во времени. В сумматорах параллельного действия сложение всех разрядов многоразрядных чисел происходит одновременно.

Простейшим суммирующим элементом является полусумматор (half sum – полусумма), изображенный на рис. 4.1. Он имеет два входа A и B для двух слагаемых и два выхода: S (сумма) и P (перенос). Полусумматор пригоден только для сложения двух одноразрядных чисел. Табл. 4.1 характеризует принцип действия этого комбинационного логического устройства.

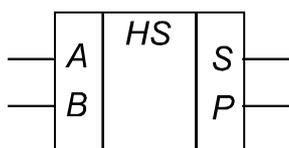


Рис. 4.1. Полусумматор

Таблица 4.1

Таблица истинности полусумматора

A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Функции выхода суммы S и переноса P определяются следующим образом:

$$S = \overline{A}B + A\overline{B},$$

$$P = AB.$$

Реализация универсального полусумматора-полувычитателя на логических элементах КР1533ЛП5 – «исключающее ИЛИ», изображена на рис. 4.2 (см. также табл. 4.2), где при суммировании выходы соответствуют F_s и F_p (сумма и перенос, соответственно), при вычитании – F_d и F_b (разность и заем). Табл. 4.3 характеризует принцип работы данной схемы. В качестве входных переменных используется пара соседних переменных с выхода счетчика.

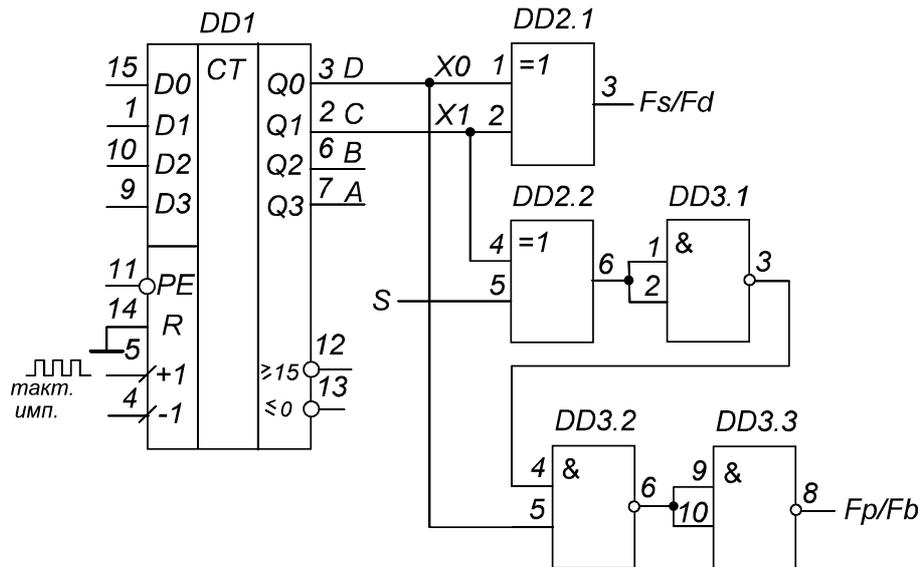


Рис. 4.2. Схема исследования полусумматора-полувычитателя

Таблица 4.2

ИМС в схеме на рис. 4.2

Тип ИМС Обозначение на схеме	КР1533ИЕ7 DD1	К1533ЛП5 DD2	КР1533ЛА3 DD3
Общий	8	7	7
+5 В	16	14	14

Таблица 4.3

Таблица истинности для схемы на рис. 4.2

S	Операция	X1	X0	Fs/Fd	Fp/Fb
0	}вычитание	0	0	0	0
0		0	1	1	1
0		1	0	1	0
0		1	1	0	0
1	}сложение	0	0	0	0
1		0	1	1	0
1		1	0	1	0
1		1	1	0	1

Одноразрядный полный сумматор изображен на рис. 4.3. Он имеет три входа: A и B для двух слагаемых и P₀ для переноса из младшего разряда, и два выхода: S (сумма) и P (перенос). Функции выхода суммы S и переноса P определяются следующим образом:

$$S = \overline{A}B\overline{P}_0 + \overline{A}BP_0 + A\overline{B}\overline{P}_0 + ABP_0 = (A \oplus B)\overline{P}_0 + (A \oplus B)P_0,$$

$$P = \overline{A}B\overline{P}_0 + \overline{A}BP_0 + A\overline{B}\overline{P}_0 + ABP_0 = AB + (A \oplus B)P_0.$$

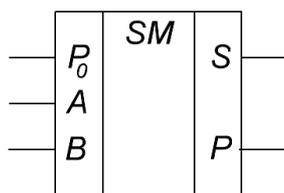


Рис. 4.3. Полный сумматор

Табл. 4.4 характеризует принцип действия полного одноразрядного сумматора.

Таблица 4.4

Таблица истинности полного сумматора

A	B	P_0	S	P
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

В данной лабораторной работе требуется реализовать схему одноразрядного сумматора на базе ИМС КР1533КП2. Чтобы реализовать такую схему нужно «связать» одну из выходных переменных ИМС КР1533ИЕ7 B , C или D с суммой S и переносом P . В табл. 4.5 приведены выходные функции полного одноразрядного сумматора, полученные с помощью привязки к переменной D , где S – сумма переменных B , C и $D = P_0$, а P – перенос в следующий разряд при сложении переменных B , C и P_0 .

Таблица 4.5

Связь функций полного сумматора с входной переменной D

B	C	D	P_0	S	P	Инф. входы КР1533КП2 (S)		Инф. входы КР1533КП2 (P)	
0	0	0	0	0	0	$2D0$	D	$1D0$	0
0	0	1	1	1	0				
0	1	0	0	1	0	$2D1$	\bar{D}	$1D1$	D
0	1	1	1	0	1				
1	0	0	0	1	0	$2D2$	\bar{D}	$1D2$	D
1	0	1	1	0	1				
1	1	0	0	0	1	$2D3$	D	$1D3$	1
1	1	1	1	1	1				

В табл. 4.5 также показано, какие сигналы на какие информационные входы ИМС КР1533КП2 следует подать (см. правые четыре колонки), чтобы реализовать полный одноразрядный сумматор. При этом работа обеих секций мультиплексора должна быть разрешена ($\overline{V1} = \overline{V2} = 0$). На рис. 4.4 приведена схема одноразрядного сумматора на базе ИМС КР1533КП2 (см. также табл. 4.6). На рис. 4.5 приведены диаграммы напряжений для этой схемы.

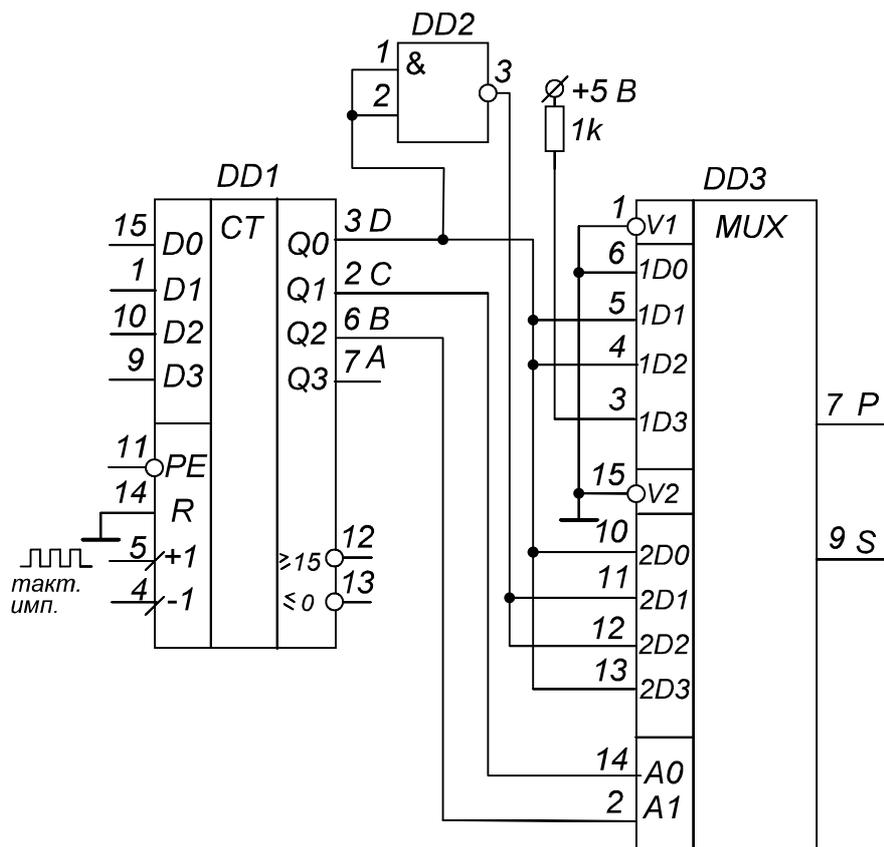


Рис. 4.4. Одноразрядный сумматор на базе ИМС КР1533КП2

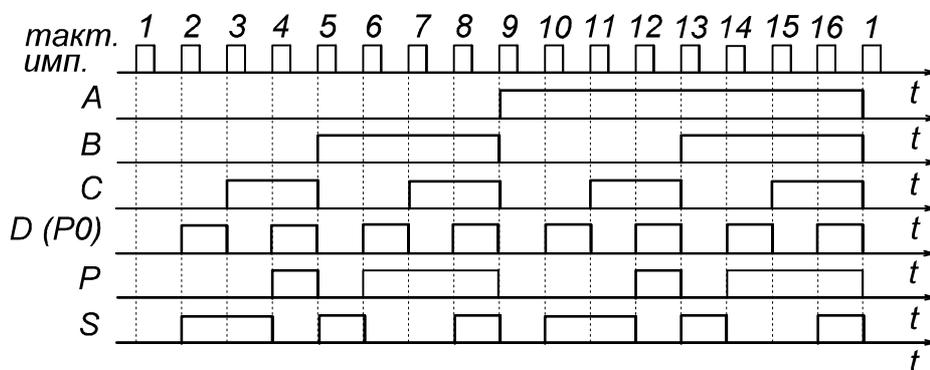


Рис. 4.5. Диаграммы напряжений в схеме на рис. 4.4

Таблица 4.6

ИМС в схеме на рис. 4.4

Тип ИМС Обозначение на схеме	КР1533ИЕ7 DD1	КР1533ЛА3 DD2	КР1533КП2 DD3
Общий	8	7	8
+5 В	16	14	16

В лабораторной работе требуется также реализовать схему двухразрядного сумматора, таблица истинности которого приведена в табл. 4.7, на базе ИМС КР1533КП2, где $S1$ – сумма переменных C и D (младшие разряды); $P1$ – перенос в следующий разряд при сложении переменных C и D ; $S2$ – сумма переменных A , B (старшие разряды) и $P1$; $P2$ – перенос в следующий разряд при сложении переменных A , B и $P1$. В табл. 4.7 также показано, как нужно связать сумму $S2$ и перенос $P2$ с переменной $P1$. В табл. 4.8 приведены требуемые сигналы (см. колонки $S1$, $P1$, $S2$ и $P2$), которые следует подать на информационные входы ИМС КР1533КП2, чтобы реализовать двухразрядный сумматор.

На рис. 4.6 приведена схема двухразрядного сумматора на базе ИМС КР1533КП2 (см. также табл. 4.9). На рис. 4.7 приведены диаграммы напряжений для этой схемы.

Таблица 4.7

Таблица истинности двухразрядного сумматора

C	D	$S1$	$P1$	A	B	$S2$	$P2$
0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0
1	0	1	0	0	0	0	0
1	1	0	1	0	0	1	0
0	0	0	0	0	1	1	0
0	1	1	0	0	1	1	0
1	0	1	0	0	1	1	0
1	1	0	1	0	1	0	1
0	0	0	0	1	0	1	0
0	1	1	0	1	0	1	0
1	0	1	0	1	0	1	0
1	1	0	1	1	0	0	1
0	0	0	0	1	1	0	1
0	1	1	0	1	1	0	1
1	0	1	0	1	1	0	1
1	1	0	1	1	1	1	1

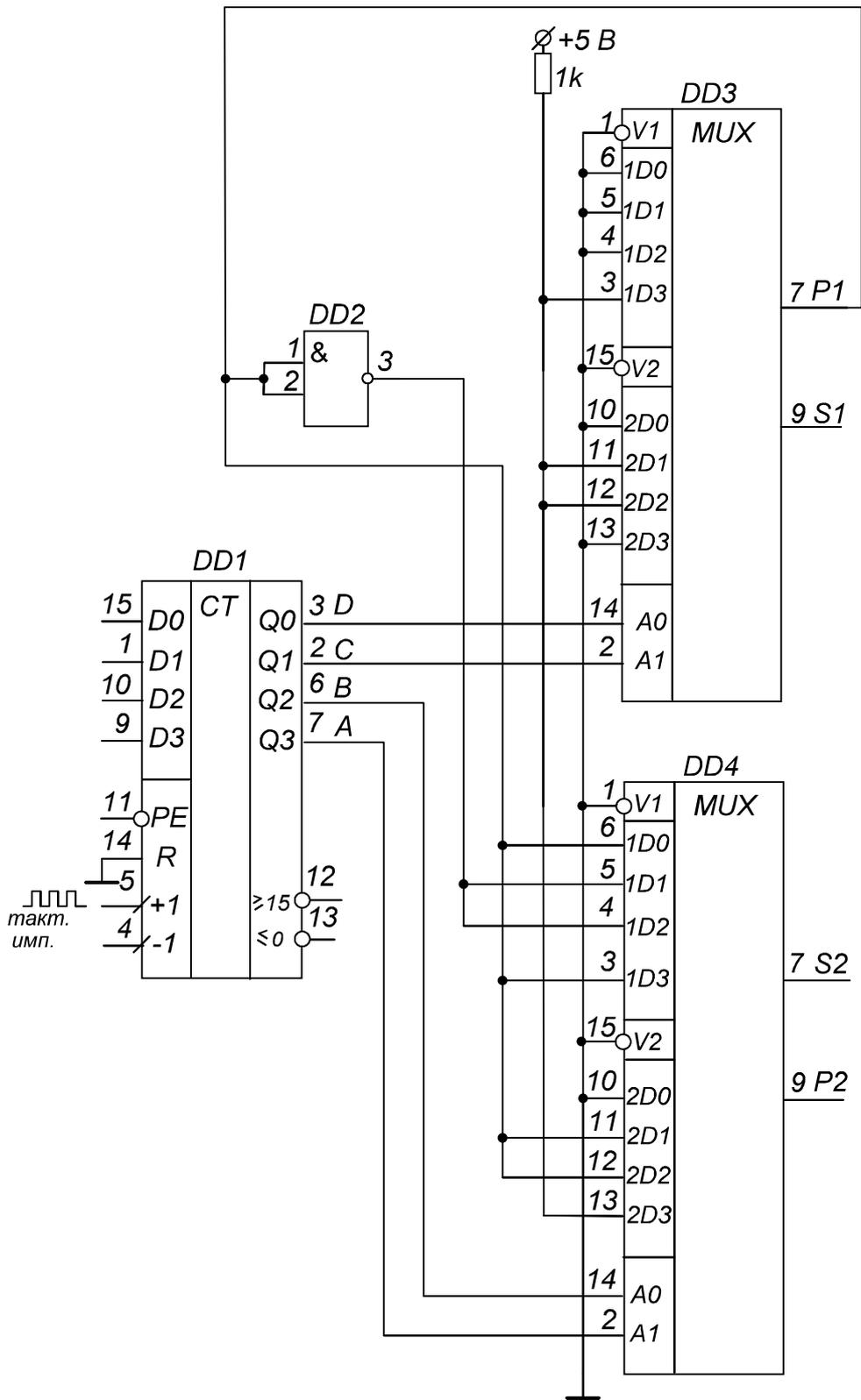


Рис. 4.6. Двухразрядный сумматор

Таблица 4.8

Подключение входов мультиплексоров в схеме на рис. 4.6

Инф. входы DD3 (S1)		Инф. входы DD3 (P1)		Инф. входы DD4 (S2)		Инф. входы DD4 (P2)	
2D0	0	1D0	0	1D0	P1	2D0	0
2D1	1	1D1	0	1D1	$\overline{P1}$	2D1	P1
2D2	1	1D2	0	1D2	$\overline{P1}$	2D2	P1
2D3	0	1D3	1	1D3	P1	2D3	1

Таблица 4.9

ИМС в схеме на рис. 4.6

Тип ИМС Обозначение на схеме	КР1533ИЕ7 DD1	КР1533ЛА3 DD2	КР1533КП2 DD3, DD4
Общий	8	7	8
+5 В	16	14	16

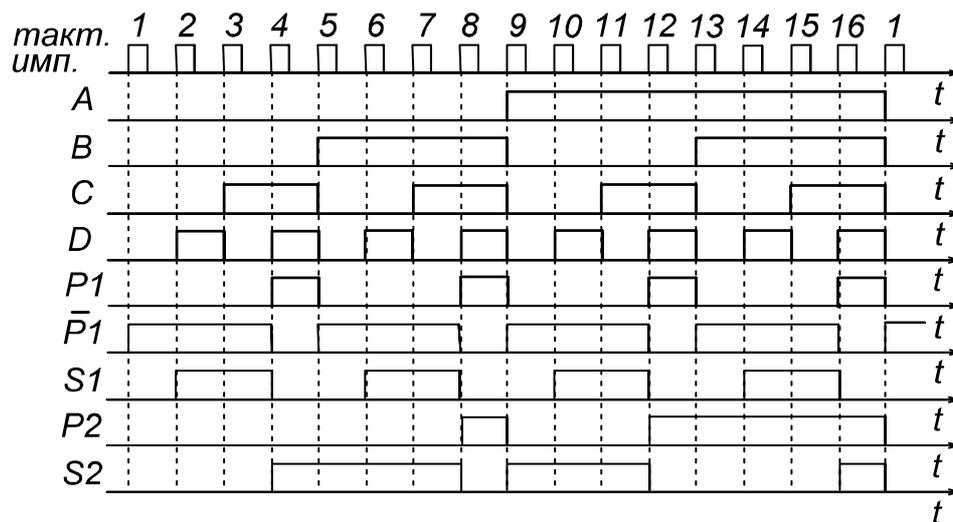


Рис. 4.7. Диаграммы напряжений в схеме на рис. 4.6

С использованием ИМС КР1533КП2 может быть реализована и схема одноразрядного вычитателя. Пусть Fd – разность переменных B и C с учетом заема $B0 = D$, а Fb – заем из старшего разряда. Чтобы синтезировать схему вычитателя, нужно связать выходные переменные Fd и Fb с одной из входных переменных B , C или D . В табл. 4.10 приведены выходные функции одноразрядного вычитателя, а также требуемые сигналы, которые следует подать на информационные входы ИМС КР1533КП2, чтобы реализовать полный одноразрядный вычитатель (привязка к переменной D).

Таблица истинности одноразрядного вычитателя

B	C	$B0 = D$	Fd	Fb	Инф. входы КР1533КП2 (Fd)		Инф. входы КР1533КП2 (Fb)	
					$2D0$	D	$1D0$	D
0	0	0	0	0	$2D0$	D	$1D0$	D
0	0	1	1	1				
0	1	0	1	1	$2D1$	\bar{D}	$1D1$	1
0	1	1	0	1				
1	0	0	1	0	$2D2$	\bar{D}	$1D2$	0
1	0	1	0	0				
1	1	0	0	0	$2D3$	D	$1D3$	D
1	1	1	1	1				

4.4. ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

В лабораторной работе используется модуль УИК-1 с набором моделей ИМС для 3 курса «Цифровые устройства». Порядок работы на модуле аналогичный описанному в п. 1.4.

Набор микросхем: КР1533ЛА3, КР1533ЛП5, КР1533КП2, КР1533ИЕ7 (для формирования переменных A , B , C , D).

Для регистрации формы и параметров выходной функции используется двухканальный осциллограф.

4.5. ПРОГРАММА РАБОТЫ

1. Используя табл. 4.1, синтезировать схему полусумматора на базе ИМС типа КР1533ЛА3 (или КР1533ЛА4). Собрав на макете схему полусумматора, проверить принцип работы в соответствии с таблицей истинности.

2. Сравнить столбец суммы в таблице истинности с таблицей истинности для логического элемента «исключающее ИЛИ», сделать выводы.

3. Собрать на лабораторном макете универсальную схему полусумматора-полувычитателя (рис. 4.2), используя микросхемы КР1533ЛА3 и КР1533ЛП5.

4. Исследовать работу схемы в зависимости от значения на входе выбора режима « S ».

5. Собрать на наборном поле схему одноразрядного сумматора на базе ИМС КР1533КП2 (рис. 4.4), и проверить правильность её функционирования в соответствии с таблицей истинности.

6. Собрать на наборном поле схему двухразрядного сумматора на базе ИМС КР1533КП2 (рис. 4.6), и проверить правильность её функционирования в соответствии с таблицей истинности.

7. Собрать на наборном поле схему одnorазрядного вычитателя на базе ИМС КР1533КП2, и проверить правильность её функционирования в соответствии с таблицей истинности (табл. 4.12).

4.6. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. В чем заключается особенность арифметических устройств и можно ли их отнести к логическим структурам?
2. Запишите функцию, реализуемую одним блоком ИМС КР1533ЛП5.
3. Можно ли реализовать одnorазрядный сумматор, используя мультиплексор(ы) типа КР1533КП7?
4. Приведите схему одnorазрядного полного сумматора.
5. Приведите схему одnorазрядного полного вычитателя.
6. Приведите таблицу истинности двухразрядного вычитателя.
7. Что представляет собой дополнительный код числа, и с какой целью он применяется?
8. Выполните вычитание чисел 110011_2 и 111001_2 с использованием дополнительного кода.
9. Как зависит время выполнения операции суммирования от разрядности сумматора?
10. В чем отличие последовательных сумматоров от параллельных?

Лабораторная работа № 5

ИССЛЕДОВАНИЕ МИКРОСХЕМ АРИФМЕТИЧЕСКИХ УСТРОЙСТВ

5.1. ЦЕЛЬ РАБОТЫ

Целью настоящей лабораторной работы является исследование функциональных возможностей микросхем сумматоров и схем сравнения в цифровых устройствах.

5.2. ПРЕДВАРИТЕЛЬНОЕ ЗАДАНИЕ

1. Изучить типовую структуру многоразрядного сумматора, выполненного на основе одноразрядных сумматоров.
2. Составить схемы четырехразрядных сумматора и вычитателя на основе ИМС К555ИМ5.
3. Изучить принцип действия цифрового компаратора (схемы сравнения), ознакомиться с ИМС КР555СП1.

5.3. ОСНОВНЫЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Рассмотрим ИМС К555ИМ5, функциональные возможности которой предлагается исследовать в данной лабораторной работе.

ИМС К555ИМ5 – два независимых одноразрядных сумматора. Из нескольких таких микросхем можно собрать многоразрядную линейку последовательного суммирования. На рис. 5.1 приведено УГО ИМС К555ИМ5 и её цоколёвка. Работу одного блока ИМС КР555ИМ5 характеризует табл. 5.1.

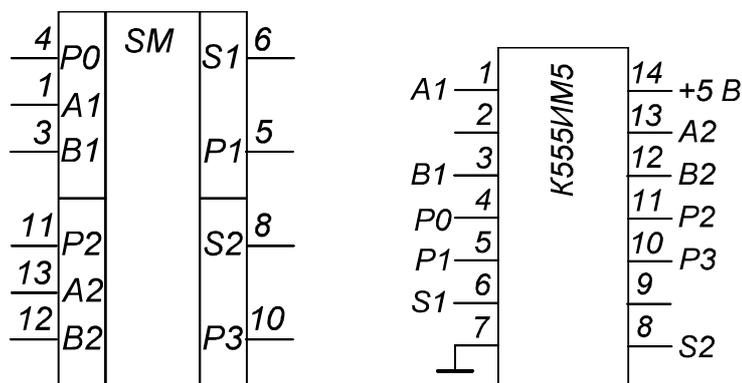


Рис. 5.1. УГО ИМС К555ИМ5 и её цоколёвка

Таблица 5.1

Таблица истинности сумматора КР555ИМ5

Входной код			Состояния на выходах	
<i>P0</i>	<i>B1</i>	<i>A1</i>	<i>S1</i>	<i>P1</i>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

В данной лабораторной работе требуется реализовать схему двухразрядного сумматора на базе ИМС К555ИМ5. Схема представлена на рис. 5.2 (см. также табл. 5.2), диаграммы напряжений для неё приведены на рис. 5.3.

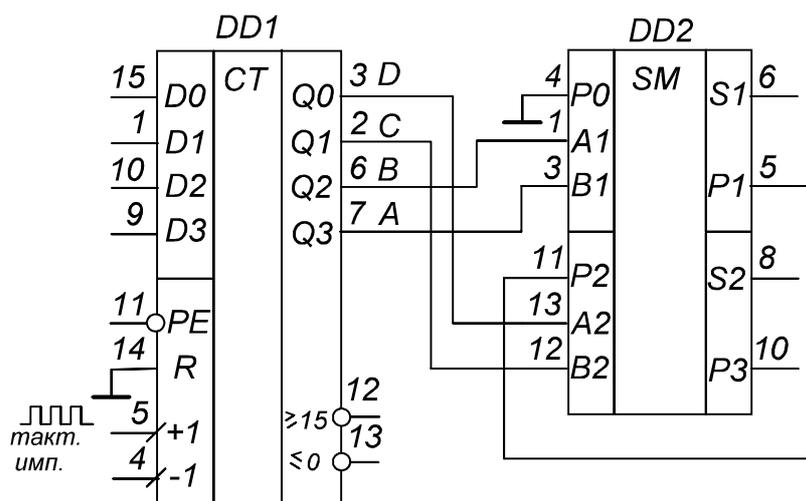


Рис. 5.2. Схема двухразрядного сумматора, выполненного на базе ИМС КР555ИМ5

Таблица 5.2

ИМС в схеме на рис. 5.2

Тип ИМС	КР1533ИЕ7	К555ИМ5
Обозначение на схеме	DD1	DD2
Общий	8	7
+5 В	16	14

Разряды кодов слагаемых *A*, *B*, *C* и *D* подаются на соответствующие входы сумматоров *A1*, *B1*, *A2* и *B2*, сигналы снимаются с выходов суммы *S1*, *S2* и переноса *P3*. Для начала считаем, что переноса *P0* из

предыдущего разряда не было, поэтому на этот вход подаем логический 0. Выход сигнала переноса сумматора первого разряда $P1$ подается на вход переноса сумматора второго разряда $P2$. Для получения на выходе сигнала, равного сумме входных кодов, необходимо, чтобы сигнал переноса последовательно сформировался на выходах сумматоров всех разрядов. Следовательно, несмотря на то, что для суммирования в каждом разряде используется отдельный сумматор, реальное время выполнения операции в данной схеме определяется временем распространения сигнала переноса последовательно из разряда в разряд.

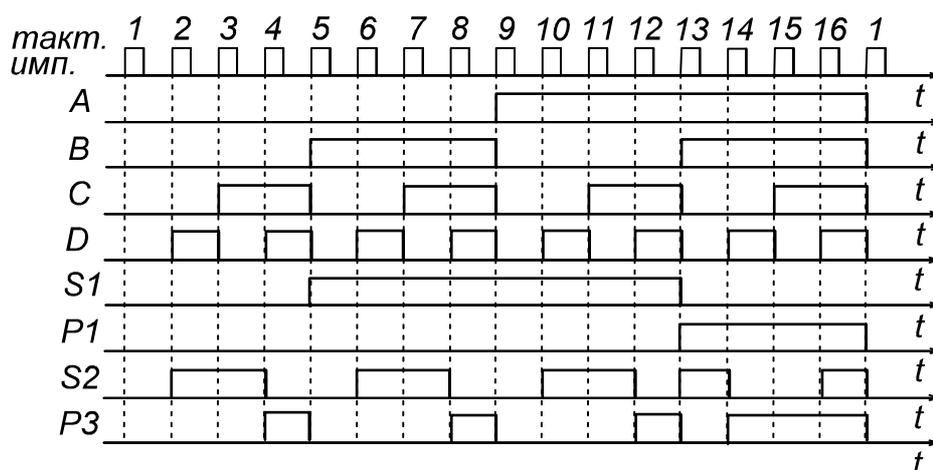


Рис. 5.3. Диаграммы напряжений в схеме на рис. 5.2

Рассмотрим примеры применения двоичного сумматора для выполнения операции вычитания. Синтезируем схемы одноразрядного и двухразрядного вычитателя на основе одноразрядного сумматора К555ИМ5.

Операцию вычитания двух чисел можно заменить операцией сложения, если в качестве вычитаемого взять число, знак которого противоположен исходному. Таким образом, для операции вычитания можно использовать схемы сумматоров.

В схеме на рис. 5.4 (см. также табл. 5.4) реализован одноразрядный вычитатель на базе ИМС К555ИМ5, в которой вычитаемое D представлено в дополнительном коде. Инвертор (DD2) формирует обратный код числа D . Число C поступает на вход $A1$ сумматора DD3, обратный код числа D – на вход $B1$ сумматора. На вход переноса $P0$ подан уровень логической 1, что обеспечивает прибавление к результату сложения единицы (т.е. инкремент результата). Итак, $Fd = \overline{D} + P0 + C$. На выходе $S1$ сумматора в итоге получается сигнал Fd – разность между числами C и D , а на выходе $P1$ – знак числа (0 – отрицательное). Табл. 5.5 и рис. 5.5 характеризуют принцип работы данной схемы.

бавлением логической 1 к младшему разряду обратного кода вычитаемого. Схема реализует вычитание сигналов CD из AB . Табл. 5.7 и диаграммы на рис. 5.7 характеризуют её работу.

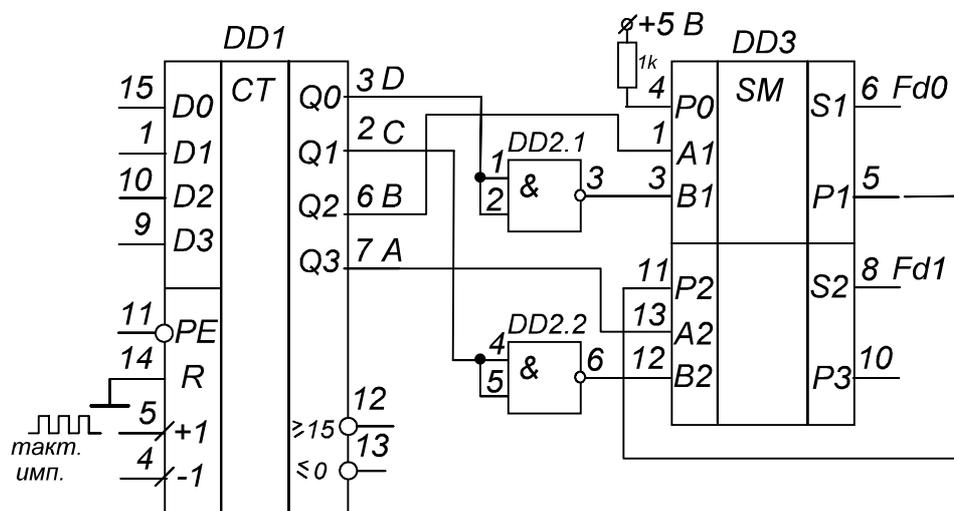


Рис. 5.6. Двухразрядный вычитатель

Таблица 5.6

ИМС в схеме на рис. 5.6

Тип ИМС	КР1533ИЕ7	КР1533ЛА3	К555ИМ5
Обозначение на схеме	DD1	DD2	DD3
Общий	8	7	7
+5 В	16	14	14

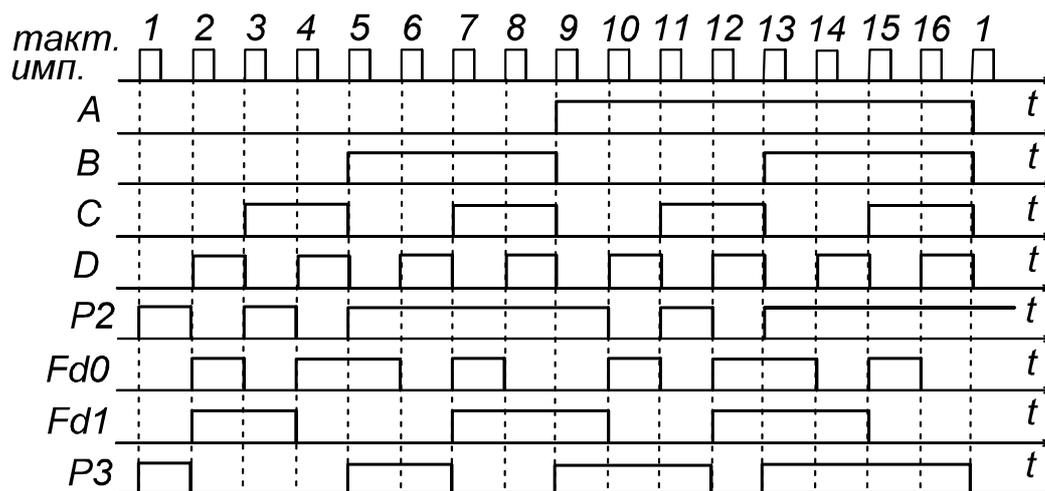


Рис. 5.7. Диаграммы напряжений схемы, представленной на рис. 5.6

Таблица истинности для схемы на рис. 5.6

<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>PI</i>	<i>FdI</i>	<i>Fd0</i>	<i>P3</i>
0	0	0	0	1	0	0	1
0	0	0	1	0	1	1	0
0	0	1	0	1	1	0	0
0	0	1	1	0	0	1	0
0	1	0	0	1	0	1	1
0	1	0	1	1	0	0	1
0	1	1	0	1	1	1	0
0	1	1	1	1	1	0	0
1	0	0	0	1	1	0	1
1	0	0	1	0	0	1	1
1	0	1	0	1	0	0	1
1	0	1	1	0	1	1	0
1	1	0	0	1	1	1	1
1	1	0	1	1	1	0	1
1	1	1	0	1	0	1	1
1	1	1	1	1	0	0	1

С помощью сумматоров может быть реализована и функция умножения. Рассмотрим реализацию схемы матричного умножителя двухразрядных кодов на базе одноразрядных сумматоров. Данная схема демонстрирует логику построения аппаратных умножителей, неразрывно связанную с традиционным алгоритмом выполнения операции умножения, базирующемся на суммировании частных произведений разрядов сомножителей. Например, перемножим двухразрядные двоичные коды a_1a_0 и b_1b_0 :

$$\begin{array}{r}
 \times \quad a_1 \quad a_0 \\
 \quad b_1 \quad b_0 \\
 \hline
 + \quad b_1a_1 \quad b_1a_0 \\
 \quad \quad b_0a_1 \quad b_0a_0 \\
 \hline
 M_3 \quad M_2 \quad M_1 \quad M_0
 \end{array}$$

В табл. 5.8 приведены возможные значения входных переменных a_1, a_0, b_1, b_0 и соответствующие им значения выходных переменных M_3, M_2, M_1, M_0 .

Такие устройства, как аппаратные умножители, в отличие от использования последовательностей элементарных функций для совершения операций умножения и деления, значительно увеличили быстродействие вычислительных систем.

Таблица 5.8

Таблица истинности двухразрядного матричного умножителя

a_1	a_0	b_1	b_0	M_3	M_2	M_1	M_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

Принципиальная схема устройства показана на рис. 5.8 (см. также табл. 5.9). Частные произведения разрядов сомножителей формируются логическими элементами DD2 и DD3 (КР1533ЛА3). Суммируя эти произведения с помощью одноразрядных сумматоров, находят значение кода результата. Приведенная структура носит название матричного множительного блока.

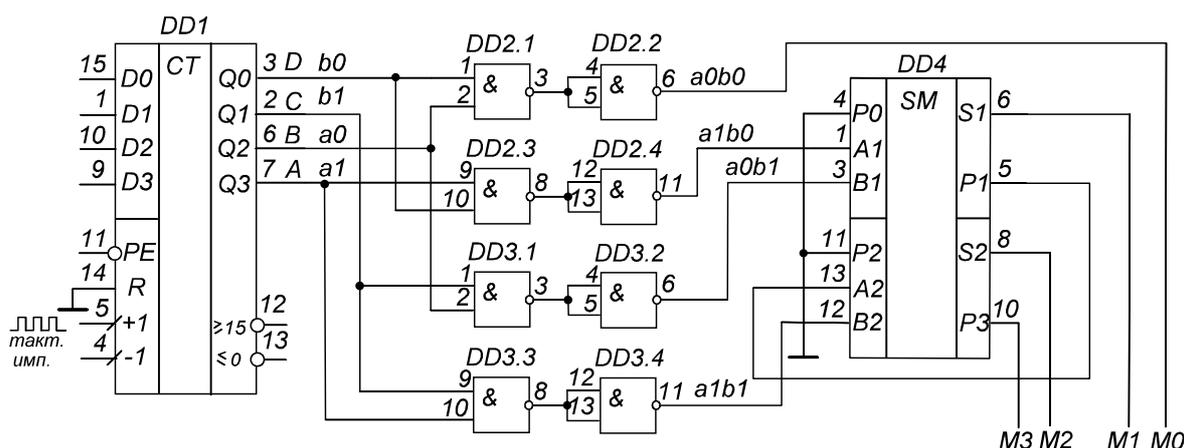


Рис. 5.8. Схема матричного умножителя двухразрядных кодов

Таблица 5.9

ИМС в схеме на рис. 5.6

Тип ИМС	КР1533ИЕ7	КР1533ЛА3	К555ИМ5
Обозначение на схеме	DD1	DD2, DD3	DD3
Общий	8	7	7
+5 В	16	14	14

Используя аналогичный подход, можно синтезировать матричный множительный блок, работающий с входными кодами произвольной разрядности. При этом сумматоры частных произведений останутся той же разрядности, разрядность сумматоров пар частных произведений будет на единицу больше, а разрядность четверок частных произведений будет в два раза больше разрядности сумматоров частных произведений и т.д.

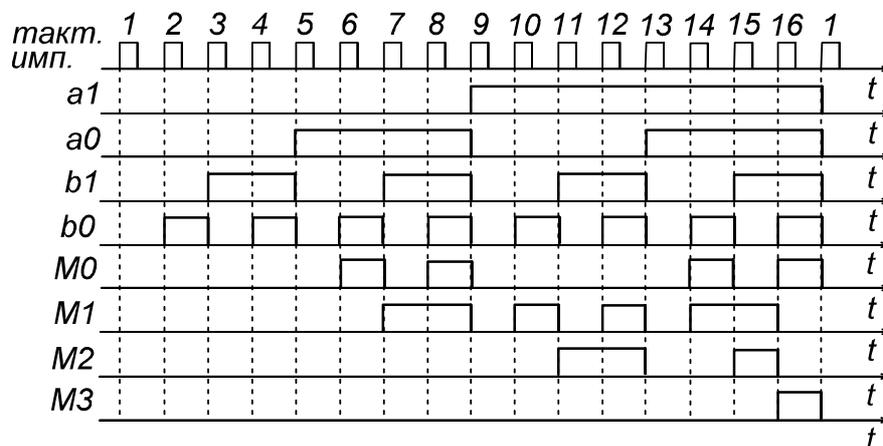


Рис. 5.9. Диаграммы напряжений схемы, представленной на рис. 5.8

Согласно предварительному заданию, требуется реализовать двоичный четырехразрядный сумматор на основе последовательно соединенных микросхем К555ИМ5. Устройство должно иметь 9 входов (4 на каждую переменную и 1 вход переноса из младшего разряда) и 5 выходов (4 разряда и 1 перенос в старший разряд).

Рассмотрим пример сложения двух чисел в двоичном коде: $10+9$:

$$\begin{array}{r}
 1\ 0\ 1\ 0 \\
 +\ 1\ 0\ 0\ 1 \\
 \hline
 1\ 0\ 0\ 1\ 1
 \end{array}$$

То есть при сложении 10 и 9 получили число 19.

Аппаратное сложение реализуется путем подачи соответствующих логических 0 и 1 на входы сумматора (табл. 5.10).

Таблица 5.10

Сложение чисел 1010_2 и 1001_2

$P0$	$A1$	$A2$	$A3$	$A4$	$B1$	$B2$	$B3$	$B4$	$S1$	$S2$	$S3$	$S4$	$P4$
0	0	1	0	1	1	0	0	1	1	1	0	0	1

Схема сравнения (цифровой компаратор) предназначена для сравнения двух двоичных чисел и может использоваться, например, в системах контроля и регулирования. В качестве примера схемы сравнения рассмотрим ИМС КР555СП1.

ИМС КР555СП1 – компаратор, имеющий две группы входов $A3A2A1A0$ и $B3B2B1B0$. На первую группу входов поступают разряды первого числа (A), на другую группу – разряды второго числа (B). Три выхода компаратора появлением логической 1 фиксируют результат сравнения. На одном выходе она устанавливается при равенстве чисел ($A=B$), на другом при $A<B$, на третьем – при $A>B$. Значения на входах $A=B$, $A<B$ и $A>B$ влияют на результат сравнения только, если $A3A2A1A0=B3B2B1B0$. При этом, если на вход $A=B$ подана 1, то $F_{A=B}=1$, значения на входах $A<B$ и $A>B$ могут быть произвольными. Если на вход $A=B$ подан 0, то $F_{A=B}=0$, а $F_{A<B}$ и $F_{A>B}$ будут определяться значением на входах $A<B$ и $A>B$.

На рис. 5.10 приведено УГО ИМС КР555СП1 и её цоколёвка. Таблица истинности, характеризующая работу ИМС КР555СП1, представлена в табл. 5.11.

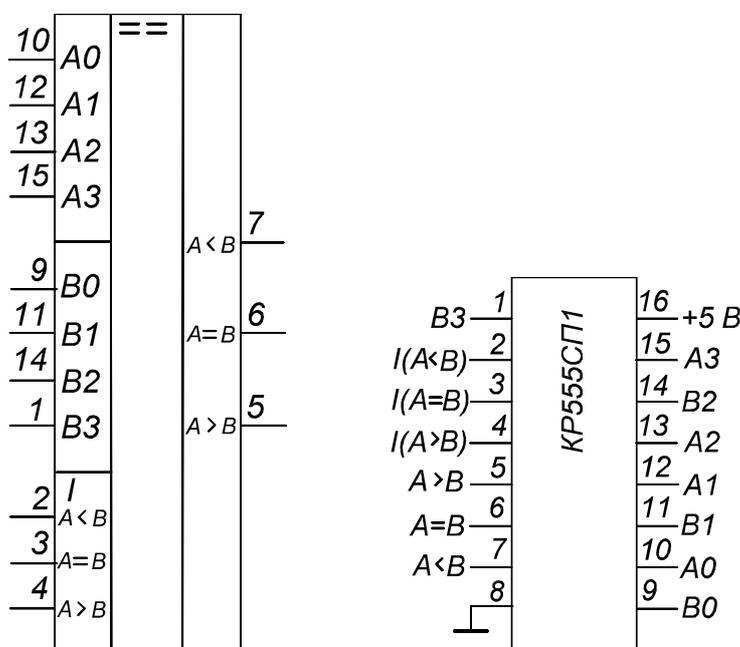


Рис. 5.10. УГО ИМС КР555СП1 и её цоколёвка

ИМС в схеме на рис. 5.11

Тип ИМС	КР1533ИЕ7	КР555СП1
Обозначение на схеме	DD1	DD2
Общий	8	8
+5 В	16	16

5.4. ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

В лабораторной работе используется модуль УИК-1 с набором моделей ИМС для 3 курса «Цифровые устройства». Порядок работы на модуле аналогичный описанному в п. 1.4.

В данной лабораторной работе используются микросхемы арифметических устройств, организуются и исследуются схемы двухразрядного сумматора, одноразрядного и двухразрядного вычитателей, схема матричного умножителя двухразрядных кодов на базе ИМС КР555ИМ5 и ИМС простой логики КР1533ЛА3. Реализуется сложение (ИМС КР555ИМ5 с увеличением разрядности) и сравнение (цифровой компаратор КР555СП1) четырехразрядных переменных. Для формирования логических переменных, как и в предыдущих работах, используется двоичный счетчик КР1533ИЕ7.

Для регистрации формы и параметров выходной функции используется двухканальный осциллограф.

5.5. ПРОГРАММА РАБОТЫ

1. Составить схему двухразрядного сумматора на основе ИМС К555ИМ5 (рис. 5.2), проверить принцип работы в соответствии с таблицей истинности.

2. Поменять местами старшие и младшие разряды, сравнить полученные диаграммы с результатом предыдущей лабораторной работы.

3. Собрать на макете схему одноразрядного вычитателя с использованием ИМС К555ИМ5. Проверить принцип работы в соответствии с таблицей истинности.

4. Собрать на макете схему двухразрядного вычитателя с использованием ИМС К555ИМ5. Проверить принцип работы в соответствии с таблицей истинности.

5. Собрать на наборном поле схему матричного умножителя двухразрядных кодов и проверить правильность её функционирования в соответствии с таблицей истинности.

6. Увеличить разрядность схемы сложения на основе ИМС К555ИМ5 до четырех. Проверить работу схемы, реализовав сложение и

вычитание двух заданных преподавателем четырехразрядных двоичных чисел.

7. Исследовать работу ИМС КР555СП1 в статическом режиме, составив схему сравнения двух чисел, заданных преподавателем.

8. Реализовать с использованием ИМС КР555СП1 схему сравнения двух двухразрядных чисел и проверить её работу в динамическом режиме, подключив переменные, формируемые счетчиком КР1533ИЕ7.

5.6. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Почему, на ваш взгляд, сумматоры относят к комбинационным устройствам?

2. Будет ли меняться результат суммирования многоразрядного сумматора, если слагаемые поменять местами?

3. Будет ли меняться результат вычитания, если вычитаемое, представленное в дополнительном коде, и уменьшаемое поменять местами в многоразрядном сумматоре?

4. Организовать схему вычитания восьмиразрядных чисел со знаком на сумматоре КР1533ИМ3. Двоичные числа задаются преподавателем.

5. Предложите схему десятичной коррекции двоичных чисел.

6. Организовать схему сложения-вычитания двухразрядных кодов на базе ИМС К555ИМ5.

7. Организовать схему четырехразрядного вычитателя на базе ИМС К555ИМ5.

8. Приведите примеры использования схем сравнения, где необходимо сравнение двух чисел.

9. Составьте схему увеличения разрядности компаратора КР1564СП1 с помощью каскадного соединения компараторов.

10. Как можно судить о знаке числа на выходе вычитателя в схеме на рис. 5.6?

Лабораторная работа № 6

ИССЛЕДОВАНИЕ ТРИГГЕРОВ И СХЕМ НА ИХ ОСНОВЕ

6.1. ЦЕЛЬ РАБОТЫ

Цель настоящей работы состоит в изучении универсального *JK* – триггера, изучении основных свойств и особенностей применения триггеров, а также в исследовании и изучении методов синтеза узлов, выполненных на базе триггеров – счетчиков, регистров, распределителей импульсов.

6.2. ПРЕДВАРИТЕЛЬНОЕ ЗАДАНИЕ

1. Изучить принцип функционирования D-триггера-защёлки.
2. Изучить принцип функционирования T-триггера.
3. Изучить принцип функционирования JK-триггера.
4. Изучить принцип работы ИМС КР1533ТВ9.
5. Построить D- и T-триггеры на основе JK-триггера (КР1533ТВ9).
6. Изучить принципы построения счетчиков и регистров на базе триггеров различных типов.

6.3. ОСНОВНЫЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Триггер – логическое устройство, способное хранить 1 бит данных. Название единицы информации 1 бит происходит от слов *binary digit*, т.е. двоичный разряд. К триггерным принято относить все устройства, имеющие два устойчивых состояния.

Триггеры бывают асинхронные и синхронные (тактируемые). Тактируемые триггеры могут выполняться как по одноступенчатой схеме, так и по двухступенчатой.

На рис. 6.1 приведена схема одноступенчатого тактируемого RS-триггера, выполненного в элементном базисе И-НЕ. Режимы работы триггера приведены в табл. 6.1, диаграммы работы – на рис. 6.2.

Переключение триггера происходит по переднему фронту импульса на тактовом входе *C*. При единичном значении на входе *C* любое изменение на входах *R* или *S* приведет к изменению состояния триггера, поэтому при $C = 1$ состояния входов *R* и *S* изменять нельзя. В этом случае говорят, что триггер прозрачен к изменениям *R* и *S*.

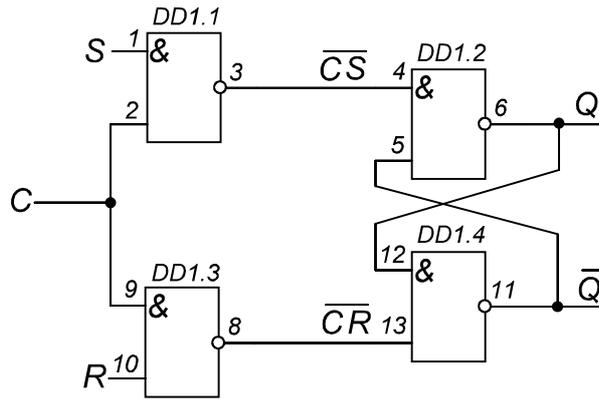


Рис. 6.1. Принципиальная схема одноступенчатого тактируемого RS-триггера (DD1 – КР1533ЛА3)

Таблица 6.1

Таблица состояний синхронного RS-триггера

S	R	C	Q	\bar{Q}	Режим работы
0	0	1	Q	\bar{Q}	Хранение
1	0	1	1	0	Установка 1
0	1	1	0	1	Сброс
1	1	1	1	1	Неопределенность
x	x	0	Q	\bar{Q}	Хранение

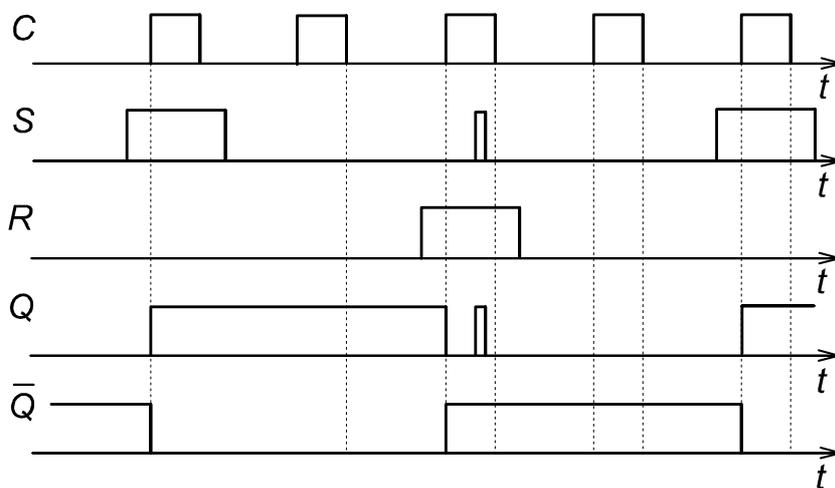


Рис. 6.2. Диаграммы работы одноступенчатого тактируемого RS-триггера

На рис. 6.3 приведена схема двухступенчатого тактируемого RS-триггера, который состоит из двух последовательно включенных RS-триггеров. Первый триггер называется master (мастер), а второй slave (помощник). Как видно из рисунка, тактовые импульсы на второй триггер поступают через инвертор. Поэтому при активном уровне на входе

С любое изменение на входах не приведет к немедленному изменению состояния выходов. Это основное отличие двухступенчатых RS-триггеров от одноступенчатых. Режимы работы двухступенчатого RS-триггера приведены в табл. 6.2. Переключение триггера происходит по заднему фронту импульса на тактовом входе C (рис. 6.4).

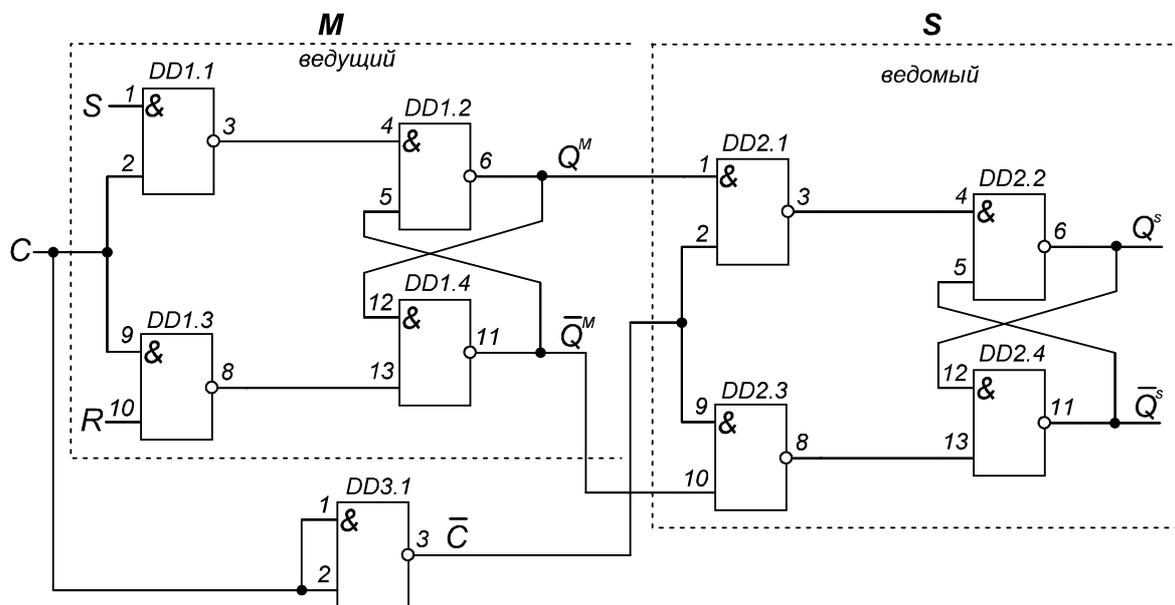


Рис. 6.3. Принципиальная схема двухступенчатого тактируемого RS-триггера (DD1, DD2 – KP1533ЛA3)

Таблица 6.2

Таблица состояний двухступенчатого синхронного RS-триггера

R	S	C	Q	\bar{Q}	Режим работы
0	0	x	Q	\bar{Q}	Хранение
1	0	↓	0	1	Сброс
0	1	↓	1	0	Установка 1
1	1	↓	1	1	Неопределенность

Рассмотрим работу двухступенчатого JK-триггера, выполненного в элементном базисе И-НЕ. Его схема представлена на рис. 6.5 (см. также табл. 6.3). JK-триггер является универсальным триггером, так как на его основе могут быть выполнены любые типы триггеров. В отличие от RS-триггера, JK-триггер не имеет запрещенных комбинаций входных сигналов, при которых на выходе неопределенное состояние.

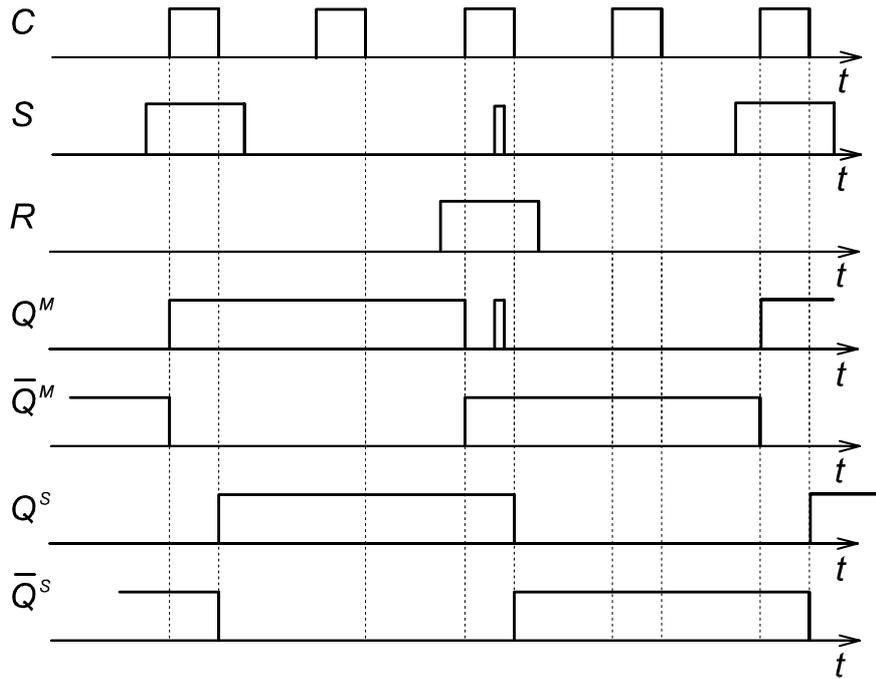


Рис. 6.4. Диаграммы работы двухступенчатого тактируемого RS-триггера

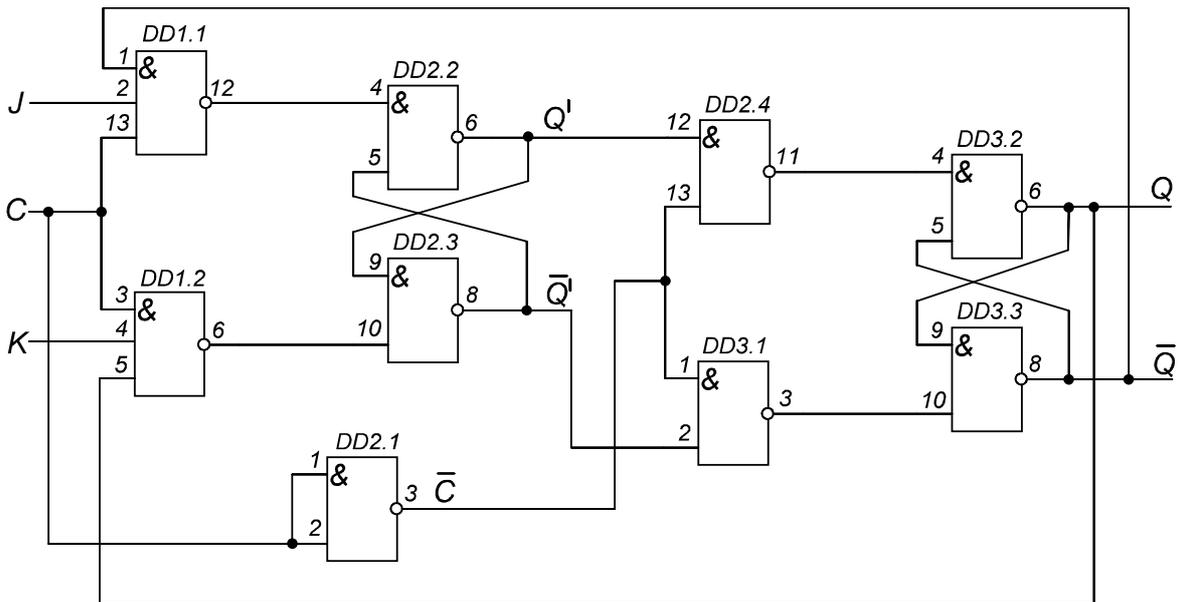


Рис. 6.5. Двухступенчатый JK-триггер

Таблица 6.3

ИМС в схеме на рис. 6.5

Тип ИМС Обозначение на схеме	КР1533ЛА4 DD1	КР1533ЛА3 DD2, DD3
Общий	7	7
+5 В	14	14

В данной лабораторной работе предлагается исследовать ИМС КР1533ТВ9.

ИМС КР1533ТВ9 – два JK-триггера с асинхронным сбросом и установкой. На рис. 6.6 приведено УГО ИМС КР1533ТВ9 и её цоколёвка. Каждый триггер имеет универсальные входы установки \bar{S} и сброса \bar{R} , информационные входы J и K , тактовый вход \bar{C} и два комплементарных выхода Q и \bar{Q} . Функционирование одной секции ИМС КР1533ТВ9 происходит согласно табл. 6.4, из которой следует, что он имеет семь режимов работы.

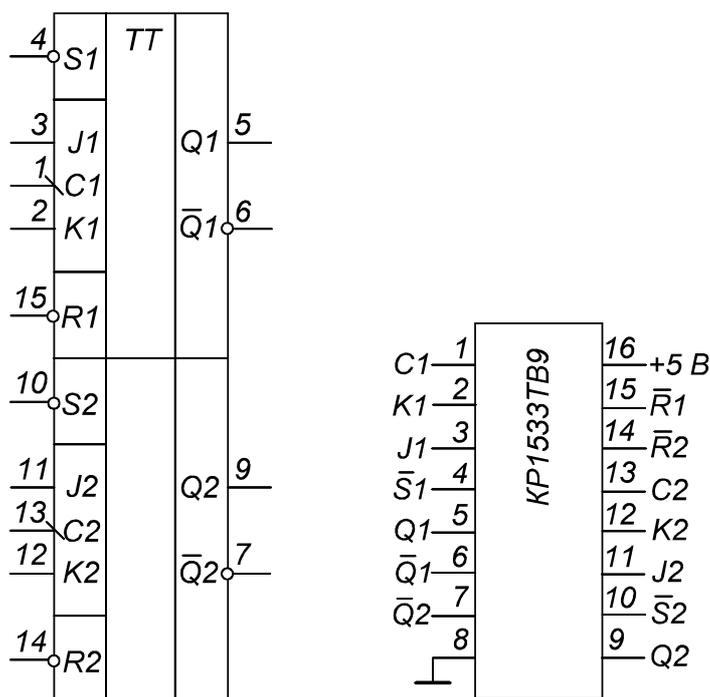


Рис. 6.6. УГО ИМС КР1533ТВ9 и её цоколёвка

Таблица 6.4

Таблица состояний КР1533ТВ9

Режим работы	Входы					Выходы	
	\bar{S}	\bar{R}	\bar{C}	J	K	Q	\bar{Q}
Асинхронная установка	0	1	x	x	x	1	0
Асинхронный сброс	1	0	x	x	x	0	1
Неопределенность	0	0	x	x	x	1	1
Переключение	1	1	↓	1	1	\bar{q}	q
Загрузка “0” (сброс)	1	1	↓	0	1	0	1
Загрузка “1” (установка)	1	1	↓	1	0	1	0
Хранение (нет изменений)	1	1	↓	0	0	q	\bar{q}

Диаграммы работы одной секции ИМС КР1533ТВ9 представлены на рис. 6.7. Состояние триггера изменяется по заднему фронту тактового импульса.

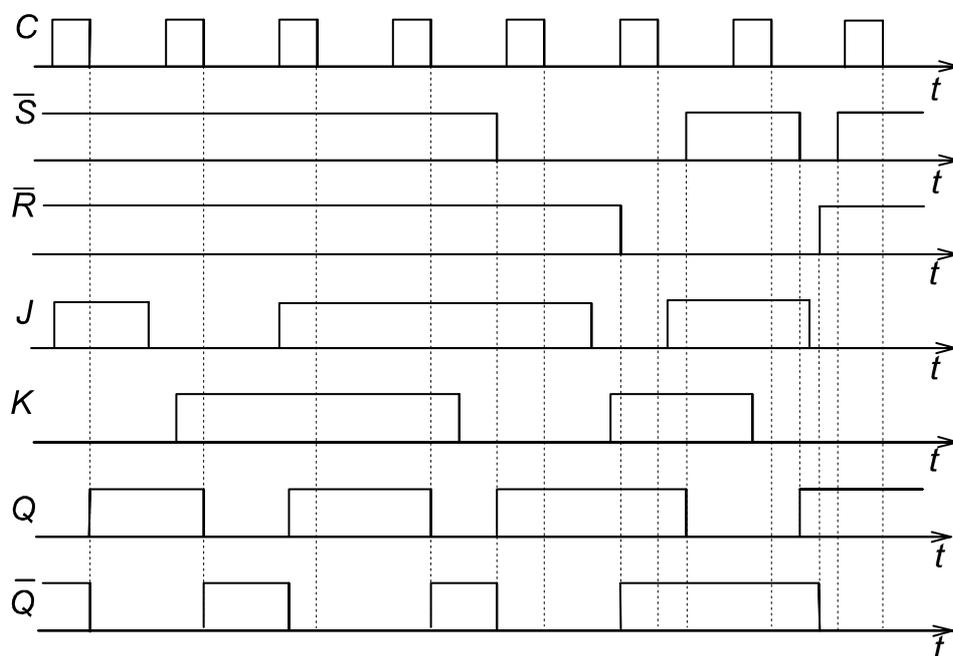


Рис. 6.7. Диаграмма работы одной секции ИМС КР1533ТВ9

Входы \bar{S} и \bar{R} , асинхронные, имеют наиболее высокий приоритет, т.е. сброс ($\bar{S}=1, \bar{R}=0$) или установка ($\bar{S}=0, \bar{R}=1$) происходят независимо от состояния на входе C . Если на входы \bar{S} и \bar{R} одновременно поданы сигналы низкого уровня, то триггер находится в так называемом режиме «неопределенности» или «запрещенном», когда $Q=\bar{Q}=1$. Кроме того, следует иметь в виду, что сигналы на информационных входах не должны переключаться, если на тактовом входе присутствует напряжение высокого уровня. В противном случае эти переключения могут отслеживаться на выходе, и триггер может потерять свойство непрозрачности в этот момент. Это обстоятельство надо иметь в виду при применении некоторых типов триггеров, особенно одноступенчатых.

Если триггер прозрачен или проницаем, то схема цифрового устройства должна быть спроектирована таким образом, чтобы сигналы на управляющих входах изменялись лишь при неактивном уровне тактового сигнала, а при активном его уровне оставались постоянными. В противном случае возможны ложные срабатывания устройства. Что касается КР1533ТВ9, то этот триггер достаточно устойчив к изменению

сигналов J и K во время действия сигнала C , но в некоторых случаях он также становится прозрачным.

6.4. ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

В лабораторной работе используется модуль УИК-1 с набором моделей ИМС для 3 курса. Порядок работы на модуле аналогичный описанному в п. 1.4.

Набор микросхем: КР1533ЛА3, КР1533ЛА4, КР1533ТВ9.

Рекомендуется в качестве формирователя тактовых импульсов при работе в пошаговом (ручном) режиме использовать JK-триггер КР1533ТВ9, работающий в режиме RS-триггера. Для формирования управляющих сигналов R и S используются имеющиеся на модуле УИК-1 кнопки $Kn1$ и $Kn2$.

6.5. ПРОГРАММА РАБОТЫ

1. Собрать на основе JK-триггера КР1533ТВ9 асинхронный RS-триггер для формирования тактовых импульсов в ручном режиме. Для наблюдений состояний на выходе триггеров рекомендуется подключить имеющиеся на стенде светодиоды. При этом диод будет излучать свет, когда на катоде будет уровень логического 0. На рис. 6.8 показаны схемы включения триггера КР1533ТВ9 для формирования тактовых импульсов в ручном режиме. Для установки и сброса триггера (формирования сигналов R и S) в схеме на рис. 6.8, *а* используются отдельные кнопки $Kn1$ и $Kn2$ на лабораторном модуле. Остальные ножки КР1533ТВ9 подключаются к общей шине. Таким образом, устанавливая и сбрасывая триггер, формируется последовательность тактовых импульсов с произвольными временными параметрами.

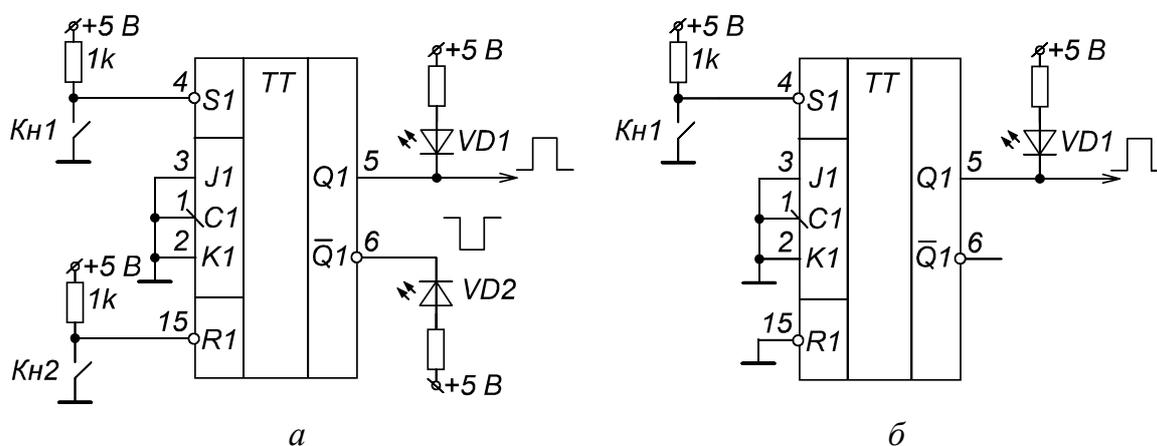


Рис. 6.8. Схемы формирования тактовых импульсов

Альтернативный способ формирования тактовых импульсов показан на рис. 6.8, б. Требуется одна кнопка, которая подключается к входу \bar{S} триггера, а вход \bar{R} заземляется. При удержании кнопки $Kn1$ триггер находится в неопределенном состоянии, когда $Q = \bar{Q} = 1$. При отпуске кнопки $Kn1$ триггер сбрасывается, то есть Q обращается в ноль.

2. Собрать схему двухступенчатого RS-триггера с использованием элементов простой логики (рис. 6.3). Проверить его работу в пошаговом режиме, согласно таблице состояний (табл. 6.2). Снять диаграммы сигналов на выходах первой и второй ступеней триггера. Тактовый сигнал C формируется, как описано в п. 1.

3. Собрать схему двухступенчатого JK-триггера с использованием элементов простой логики (рис. 6.5). Проверить его работу в пошаговом режиме. Снять диаграммы сигналов на выходах первой и второй ступеней триггера.

4. Проверить таблицу состояний JK-триггера КР1533ТВ9 в пошаговом режиме, согласно таблице состояний (табл. 6.4). Снять диаграмму выходного сигнала JK-триггера, согласно предложенной на рис. 6.7 последовательности входных сигналов.

5. Собрать на базе двух ИМС КР1533ТВ9 и дополнительной логики 3-х разрядный реверсивный счетчик (рис. 6.9, табл. 6.5). Исследовать работу реверсивного счетчика в пошаговом и динамическом режимах, построить осциллограммы напряжений для двух случаев: а) $M=1$, $N=0$; б) $M=0$, $N=1$. В пошаговом режиме рекомендуется для наблюдения сигналов $Q1-Q3$ подключать светодиоды. В динамическом режиме используется последовательность импульсов с выхода встроенного генератора или делителя частоты (КР1533ИЕ19) и осциллограф для регистрации выходных сигналов.

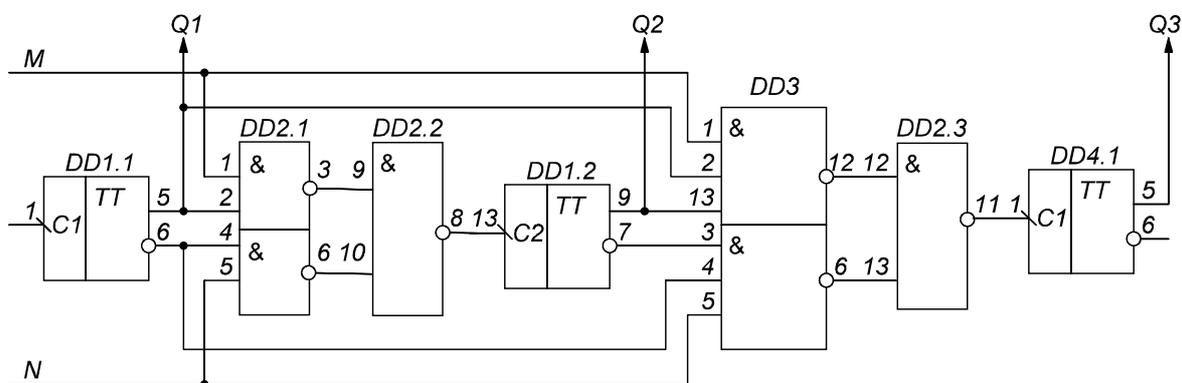


Рис. 6.9. Схема 3-х разрядного реверсивного счетчика на базе ИМС КР1533ТВ9

ИМС в схеме на рис. 6.9

Тип ИМС Обозначение на схеме	КР1533ТВ9 DD1, DD4	КР1533ЛА3 DD2	КР1533ЛА4 DD3
Общий	8	7	7
+5В	16	14	14

6. Собрать на базе двух ИМС КР1533ТВ9 кольцевой регистр (рис. 6.10), исследовать его работу и представить осциллограммы функционирования.

7. Собрать на базе двух ИМС КР1533ТВ9 регистр с перекрестными связями (кольцевой счетчик Джонсона) (рис. 6.11). Исследовать его работу, снять осциллограммы.

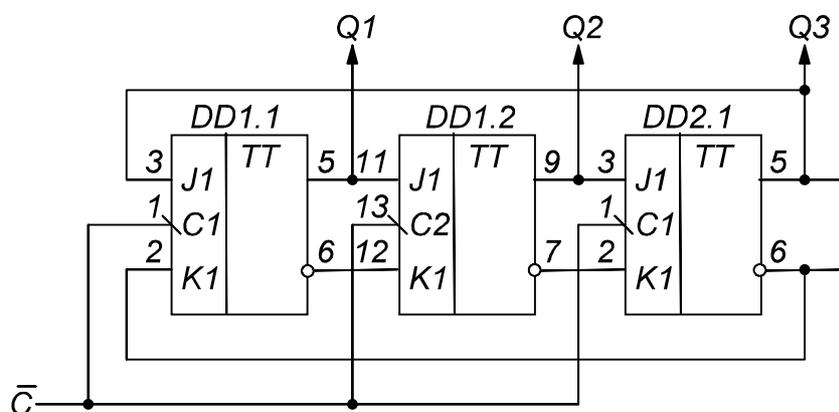


Рис. 6.10. Схема кольцевого регистра на базе ИМС КР1533ТВ9

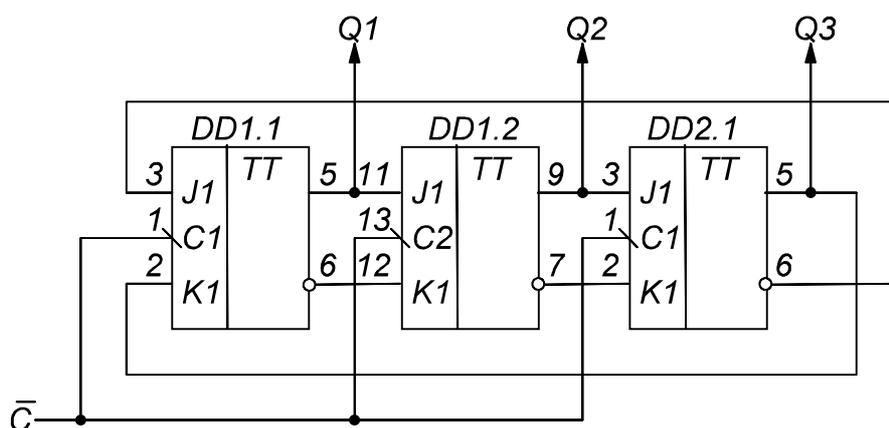


Рис. 6.11. Схема регистра с перекрестными связями на базе ИМС КР1533ТВ9

6.6. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Что такое прозрачная «защелка»?
2. Обладает ли триггер КР1533ТВ9 свойством прозрачности?

3. Что такое проицаемость триггера и обладает ли этим свойством триггер КР1533ТВ9?
4. Сколько нужно триггеров для создания регистра с перекрестными связями с $K_{сч} = 9, 10, 12$.
5. Можно ли записать в кольцевой регистр сдвига кодовое слово параллельно? Если нет, то почему, если да, то каким образом?
6. Какие сигналы надо подать на входы M и N в схеме реверсивного счетчика при прямом счете и при обратном?
7. Приведите схему, таблицу истинности и диаграммы работы D-, T-, RS- или JK-триггера по заданию преподавателя.

Лабораторная работа № 7

ИССЛЕДОВАНИЕ ЭЛЕКТРОННЫХ СЧЕТЧИКОВ

7.1. ЦЕЛЬ РАБОТЫ

Добиться уяснения студентами принципа работы счетчиков и их роли в цифровых устройствах. Закрепить в процессе проводимых исследований навыки контроля работы счетчиков и построения счетчиков-делителей частоты с заданным коэффициентом счета.

7.2. ПРЕДВАРИТЕЛЬНОЕ ЗАДАНИЕ

1. Изучить схему построения, принцип функционирования и режимы работы синхронного счетчика на примере ИМС КР1533ИЕ7.
2. Знать принципы построения на основе счетчиков-делителей счетчика с произвольным коэффициентом счета ($K_{сч} = N$). Разработать счетчик с $K_{сч}$, заданным преподавателем, на основе ИМС КР1533ИЕ7.
3. Знать способы построения многоразрядных счетчиков. Разработать n -разрядный счетчик на основе ИМС КР1533ИЕ7 по заданию преподавателя.
4. На базе нескольких счетчиков типа КР1533ИЕ19 или КР1533ИЕ7 и дешифратора 533ИД18 синтезировать схему секундомера (или таймера) от 0 до 9 секунд.

7.3. ОСНОВНЫЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Соединив последовательно несколько триггерных схем – делителей частоты на два, получим простейший многоразрядный двоичный делитель. Более общее название для делителей частоты – счетчики.

Основными параметрами счетчиков являются:

1. Информационная емкость, численно равная коэффициенту счета. Для двоичного счетчика $K_{сч} = 2^n$, где n – число триггеров в схеме счетчика.
2. Быстродействие (максимальная частота следования импульсов на входе синхронизации).

По способу отображения информации счетчики делятся на двоичные и двоично-десятичные. В двоичных счетчиках информация представляется в прямом двоичном коде, а в двоично-десятичных в прямом двоично-десятичном коде.

По способу счета счетчики делятся на счетчики:

- прямого счета (счетчики сложения),
- обратного счета (счетчики вычитающие),
- реверсивные – работают как на сложение, так и на вычитание.

По способу срабатывания счетчики делятся на асинхронные и синхронные.

В асинхронных счетчиках импульсы счета подаются на вход первого триггера, а каждый последующий триггер срабатывает от предыдущего. На рис. 7.1 показана реализация четырехразрядного асинхронного суммирующего счетчика на базе триггеров КР1533ТВ9.

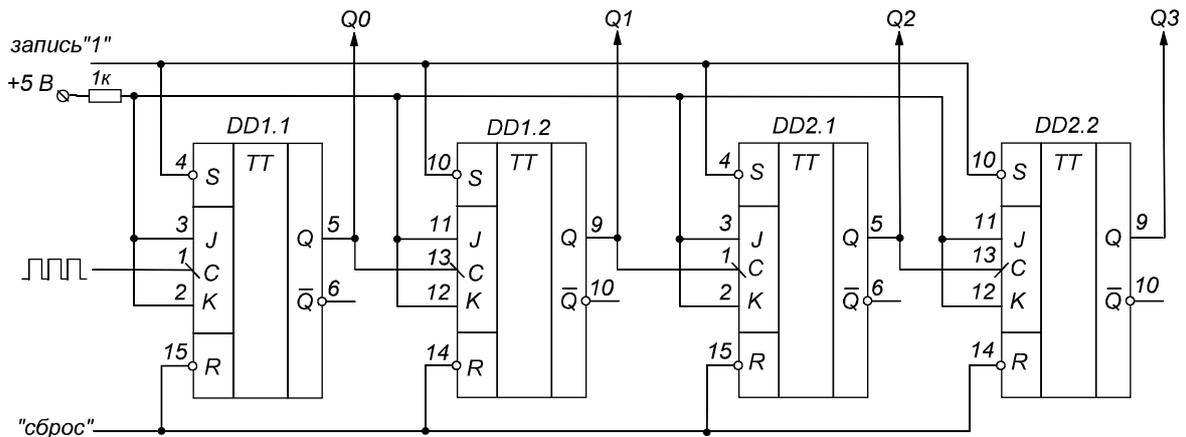


Рис. 7.1. Схема асинхронного 4-разрядного суммирующего счетчика (DD1, DD2 – КР1533ТВ9)

В синхронных счетчиках импульсы счета подаются на всю линейку триггеров, и срабатывание последующего триггера происходит тогда, когда все младшие разряды заполняются единицами в случае суммирующего счетчика и нулями в случае вычитающего. На рис. 7.2 показана реализация четырехразрядного синхронного суммирующего счетчика на базе триггеров КР1533ТВ9 (см. также табл. 7.1).

Таблица 7.1

ИМС в схеме на рис. 7.2

Тип ИМС	КР1533ТВ9	КР1533ЛИЗ	КР1533ЛА1
Обозначение на схеме	DD1, DD2	DD3	DD4
Общий	8	7	7
+5 В	16	14	14

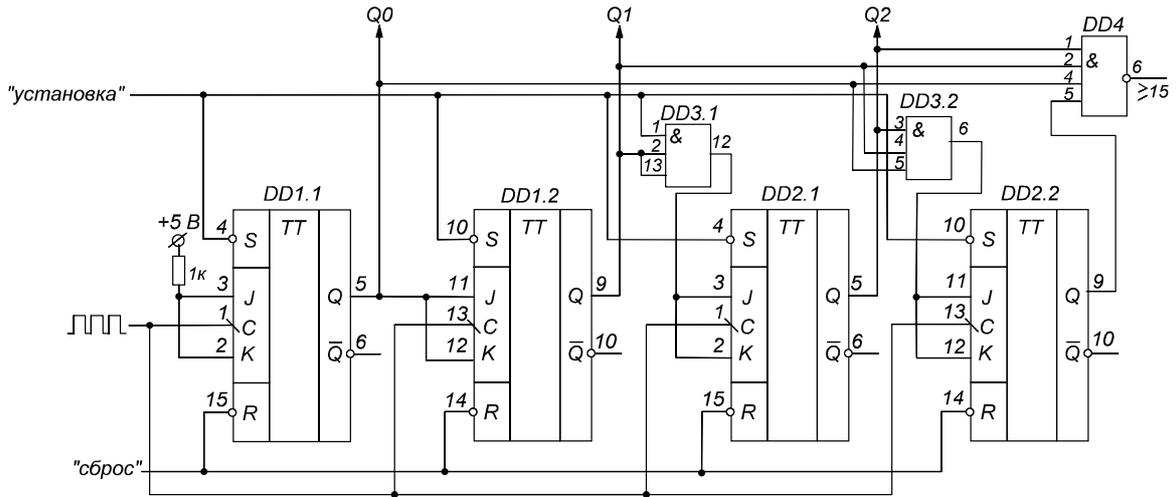


Рис. 7.2. Схема синхронного 4-х разрядного суммирующего счетчика

Для реализации счетчика в имеющемся элементном базисе, элементы И в схеме на рис. 7.2 можно заменить на ИЛИ-НЕ, а сигналы на их входы подавать с инверсных выходов триггеров (рис. 7.3, табл. 7.2). Таким образом, функция, по которой будут переключаться последовательно триггеры, примет вид: $F = Q_0 \cdot Q_1 \cdot \dots \cdot Q_{n-1} = \overline{\overline{Q_0} + \overline{Q_1} + \dots + \overline{Q_{n-1}}}$.

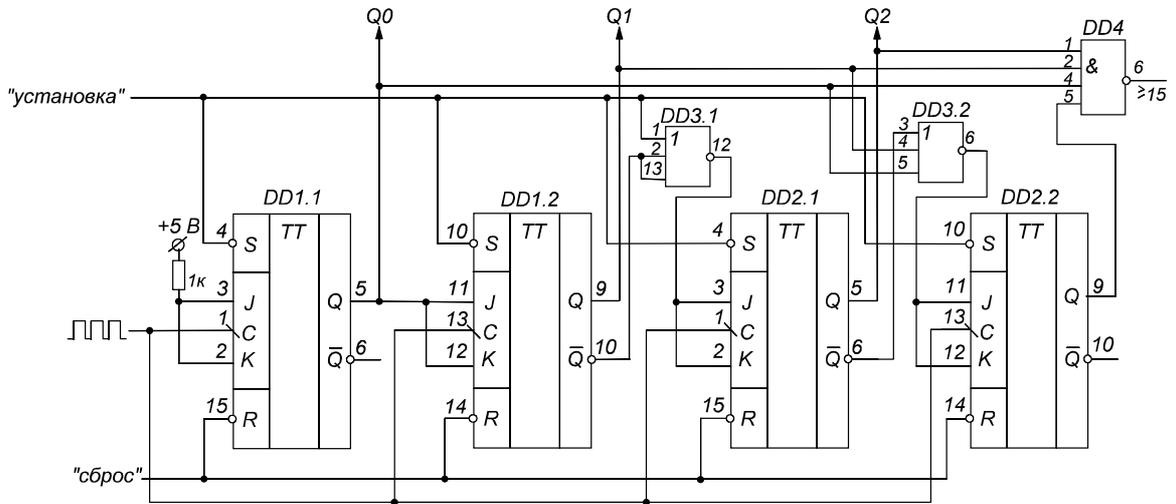


Рис. 7.3. Схема синхронного 4-х разрядного суммирующего счетчика

Таблица 7.2

ИМС в схеме на рис. 7.3

Тип ИМС	КР1533ТВ9	КР1533ЛЕ4	КР1533ЛА1
Обозначение на схеме	DD1, DD2	DD3	DD4
Общий	8	7	7
+5 В	16	14	14

В данной лабораторной работе предлагается исследовать многофункциональную ИМС КР1533ИЕ7, которая представляет собой 4-х разрядный синхронный двоичный реверсивный счетчик с максимальным модулем счета $K_{сч} = 16$. На рис. 7.4 показаны УГО ИМС КР1533ИЕ7 и её цоколёвка. Возможные режимы работы счетчика КР1533ИЕ7 приведены в табл. 7.3.

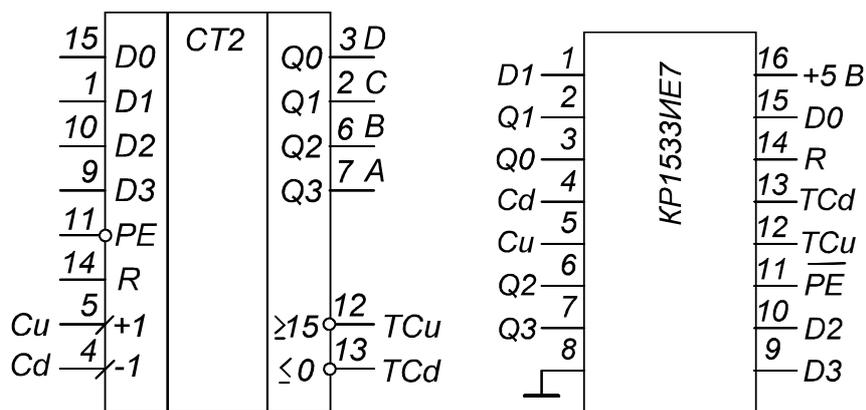


Рис. 7.4. УГО ИМС КР1533ИЕ7 и её цоколёвка

Таблица 7.3

Режимы работы счетчика КР1533ИЕ7

Режим	Входы								Выходы					
	R	PE	+1	-1	D0	D1	D2	D3	Q0	Q1	Q2	Q3	≥15	≤0
Сброс	1	x	x	0	x	x	x	x	0	0	0	0	1	0
	1	x	x	1	x	x	x	x	0	0	0	0	1	1
Параллельная загрузка	0	0	1	0	0	0	0	0	0	0	0	0	1	0
	0	0	1	1	0	0	0	0	0	0	0	0	1	1
	0	0	0	1	1	1	1	1	1	1	1	1	0	1
	0	0	1	1	1	1	1	1	1	1	1	1	1	1
	0	0	x	x	D ₀	D ₁	D ₂	D ₃	D ₀	D ₁	D ₂	D ₃	1	1
Счет на увеличение	0	1	↑	1	x	x	x	x	Счет на увеличение				1	1
Счет на уменьшение	0	1	1	↑	x	x	x	x	Счет на уменьшение				1	1

Примечание. $D_3D_2D_1D_0 \neq 0000_2$, $D_3D_2D_1D_0 \neq 1111_2$

Входы +1 (C_U) и -1 (C_d) – тактовые входы на увеличение и уменьшение счета, соответственно. Состояние счетчика изменяется по положительному перепаду тактового импульса, т.е. переходу от 0 к 1, на каждом из тактовых входов. КР1533ИЕ7 построен по принципу синхронного счетчика на основе триггеров с динамическим управлением.

Если на вход $+I$ подается перепад от 0 к 1, то содержимое счетчика увеличивается на 1. Аналогичный перепад, поданный на $-I$, уменьшит содержимое счетчика на 1.

Если используется тактовый вход $+I$, то на $-I$ следует подать уровень логической 1 и наоборот. Изменять направление счета следует в момент, когда тактовый сигнал перешел на уровень логической 1.

Вход R предназначен для асинхронного сброса всех разрядов счетчика путем подачи на вход логической 1. Для обеспечения счета на выход R подается логический 0.

Выводы $D0, D1, D2, D3$ предназначены для предварительной установки в счетчик любого исходного числа $D_3D_2D_1D_0$, с которым суммируются счетные импульсы (в режиме сложения), либо из которого они вычитаются (в режиме вычитания). Ввод данных происходит в момент, когда на входе \overline{PE} появится импульс низкого уровня. Выводы $Q0, Q1, Q2, Q3$ – прямые выходы разрядов счетчика.

Вывод ≥ 15 (TC_U) – выход переноса, сигнал переноса возникает на нем во время перехода счетчика из состояния $1111_2 = 15_{10}$ в состояние 0000_2 . Таким образом, сигнал переноса формируется задним фронтом счетного импульса.

Вывод ≤ 0 (TC_D) – выход сигнала заёма, который возникает при изменении состояния 0000_2 на 1111_2 .

Выходы переноса и заёма используются при каскадировании микросхем, а также при работе счетчика в качестве делителя. То есть их можно использовать для циклической записи в счетчик информации с входов $D0, D1, D2, D3$. Для этого достаточно соединить вход \overline{PE} с соответствующим выходом ≥ 15 или ≤ 0 . При этом если соединить выход переноса ≥ 15 с входом \overline{PE} , коэффициент деления $K_{сч} = 15 - N$, где N – десятичный эквивалент двоичного кода на входах $D0, D1, D2, D3$.

На рис. 7.5 приведены временные диаграммы работы счетчика КР1533ИЕ7, построенные для случая, когда на входы $D0, D1, D2, D3$ подан код $1101_2 = 13_{10}$. Последовательность управляющих входных импульсов соответствует последовательности рабочих режимов, указанных в табл. 7.3.

После записи в разряды счетчика информации с входов $D0, D1, D2, D3$ и начала поступления импульсов на вход $+I$ выходы счетчика изменяют свои состояния, начиная с кода 1101_2 , и если повторного ввода данных в счетчик не было, то после состояния 1111_2 произойдет переполнение и счет пойдет с 0000_2 и далее. Сигнал на выходе ≥ 15 появится после пятнадцатого импульса на входе $+I$.

Обратный счет будет производиться при подаче сигнала на вход $-I$.

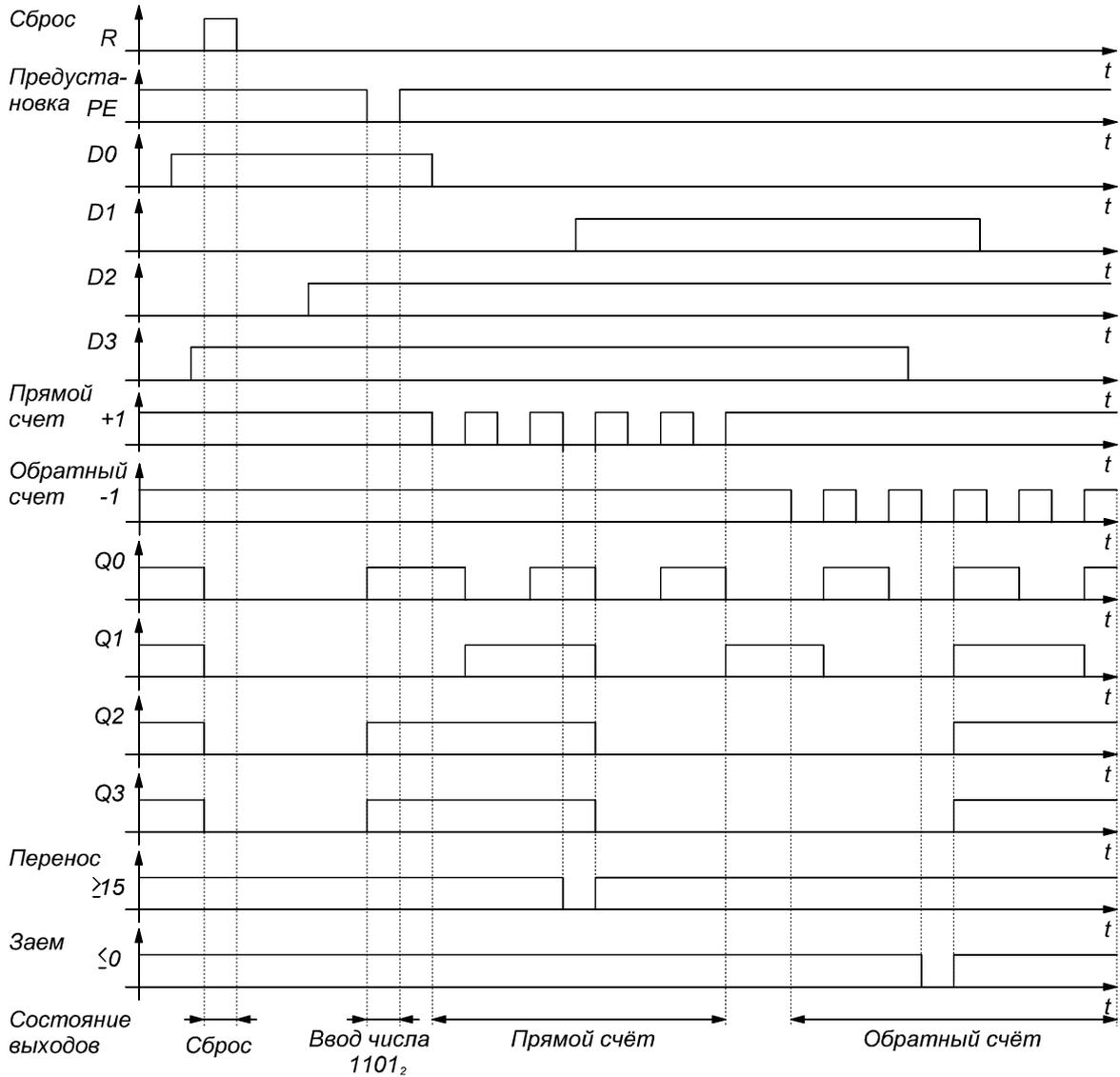


Рис. 7.5. Диаграмма работы ИМС КР1533ИЕ7

На рис. 7.6 и 7.7 приведены схемы 8-ми разрядных счетчиков на основе ИМС КР1533ИЕ7, полученные путем последовательного и параллельного способов наращивания разрядности, соответственно.

На основе счетчиков может быть построен делитель частоты с большой разрядностью (большим коэффициентом деления). Принцип построения заключается в последовательном наращивании разрядности. На рис. 7.8. показан пример построения счетчика-делителя на основе ИМС КР1533ИЕ19. Частота F на выходе схемы будет определяться как

$$F = \frac{f}{2^n},$$

где n – разряд, с которого снимается сигнал.

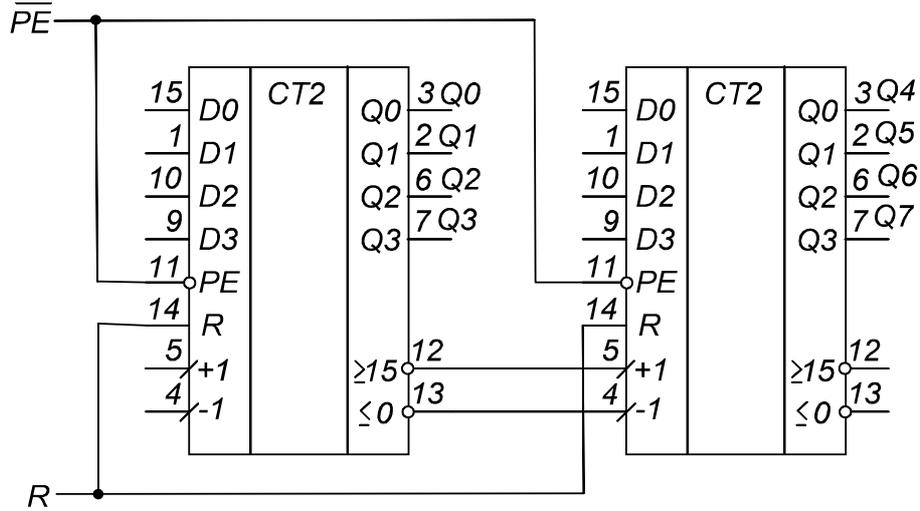


Рис. 7.6. Схема 8-разрядного счетчика на базе ИМС КР1533ИЕ7 при последовательном способе наращивания

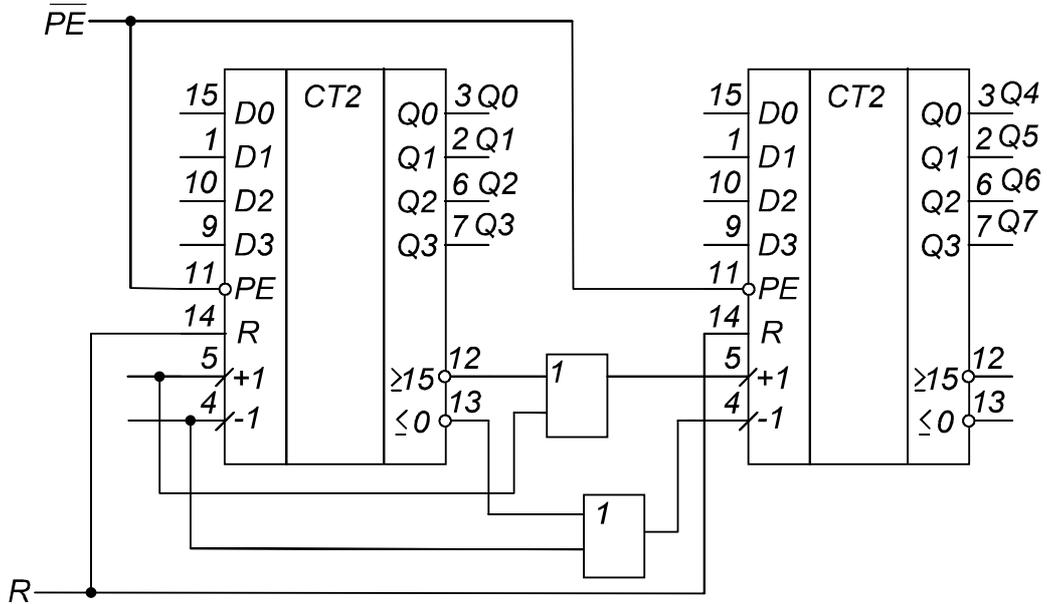


Рис. 7.7. Схема 8-разрядного счетчика на базе ИМС КР1533ИЕ7 при параллельном способе наращивания

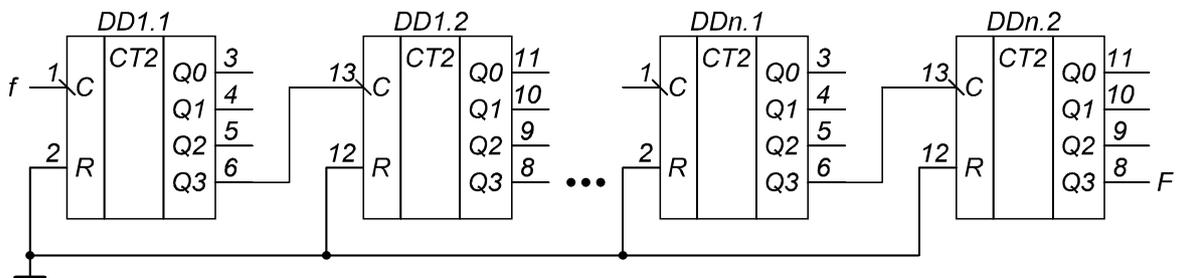


Рис. 7.8. Счетчик-делитель на базе ИМС КР1533ИЕ19

7.4. ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

В лабораторной работе используется модуль УИК-1 с набором моделей ИМС для 3 курса. Порядок работы на модуле аналогичный описанному в п. 1.4.

Набор микросхем: КР1533ИЕ7, КР1533ИЕ19, КР1533ТВ9, КР1533ЛА3, КР1533ЛА4, КР1533ЛА1, КР1533ЛЕ4.

7.5. ПРОГРАММА РАБОТЫ

1. Проверить работу счетчика на суммирование и вычитание. Для каждого режима обеспечить необходимые логические уровни на входах счетчика и снять осциллограммы напряжений на счетном входе и всех выходах счетчика, включая ≥ 15 и ≤ 0 . Счетные импульсы на входы $+1$ и -1 счетчика подавать со встроенного генератора прямоугольных импульсов. При необходимости частоту тактовых импульсов поделить с использованием нескольких КР1533ИЕ7 или КР1533ИЕ19.

2. Собрать счетчик-делитель с $K_{сч}$, заданным преподавателем, построенный по методу опознавания и сброса, снять осциллограммы напряжений на входах и выходах счетчика-делителя.

3. Собрать счетчик-делитель с $K_{сч}$, заданным преподавателем, по методу предварительной установки, снять осциллограммы напряжений на входах и выходах счетчика, включая выход переноса (заема). Режим работы ($+1$ или -1) задается преподавателем.

4. Увеличить разрядность счетчика до 8 методом последовательного наращивания. По заданию преподавателя реализовать счетчик с $K_{сч}$ больше 16 одним из понравившихся вам способом.

5. Собрать схему асинхронного счетчика на базе триггеров КР1533ТВ9 (рис. 7.1), снять диаграммы работы.

6. Собрать схему синхронного счетчика на базе триггеров КР1533ТВ9 (рис. 7.3), снять диаграммы работы, сравнить полученные результаты с п. 5.

7. Измерить частоту работы тактового генератора на лабораторном стенде, рассчитать требуемый коэффициент деления для получения частоты 1 Гц.

8. На базе нескольких счетчиков типа КР1533ИЕ19 или КР1533ИЕ7 синтезировать схему поочередного зажигания двух светодиодов.

9. С использованием имеющихся счетчиков и дешифратора 533ИД18 синтезировать схему секундомера (или таймера) от 0 до 9 секунд с отображением времени на семисегментном индикаторе.

7.6. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Дать определение счетчика и счетчика-делителя.
2. Какие триггеры могут быть использованы для построения счетчиков?
3. Каково отличие асинхронных и синхронных счетчиков?
4. Каковы функциональные особенности счетчиков с параллельным переносом?
5. Каково назначение информационных входов счетчика (на примере КР1533ИЕ7)?
6. Какие триггеры положены в основу построения счетчика КР1533ИЕ7?
7. В чем отличие параллельного и последовательного способов наращивания разрядности?

Лабораторная работа № 8

ОРГАНИЗАЦИЯ СДВИГОВОГО РЕГИСТРА И ГЕНЕРАТОРА ПСЕВДОСЛУЧАЙНОЙ ПОСЛЕДОВАТЕЛЬНОСТИ НА БАЗЕ D-ТРИГГЕРОВ

8.1. ЦЕЛЬ РАБОТЫ

Целью работы является закрепление навыков построения регистров на базе элементарных ячеек памяти – триггеров и использования регистров для построения преобразователей кодов.

8.2. ПРЕДВАРИТЕЛЬНОЕ ЗАДАНИЕ

1. Изучить назначение, функции регистров сдвига и основные схемные решения этого типа регистров.
2. Изучить принцип преобразования информации, представленной в виде последовательного кода, в параллельный, и наоборот.
3. Ознакомиться с принципом работы и назначением выводов микросхем D-триггеров КР1533ТМ8 и КР1533ТМ2.
4. Синтезировать схему 4-х разрядного регистра сдвига на основе ИМС КР1533ТМ2 с возможностью асинхронной загрузки данных.
5. Реализовать с использованием счетчиков КР1533ИЕ19 коэффициент счета $K_{сч} = 4 \cdot 10^6$.

8.3. ОСНОВНЫЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Для построения регистров используются синхронные триггеры, переключение которых происходит только при наличии синхроимпульса на тактовом входе. Наиболее часто для этого используются D-триггеры (рис. 8.1), имеющие информационный вход D и динамический вход C . Как правило, триггеры имеют также вход асинхронного сброса R , который также может быть как прямым, так и инверсным.

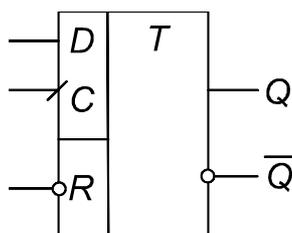


Рис. 8.1. D-триггер

Устройство, называемое регистром, служит, в основном, для промежуточного хранения чисел в двоичном коде при выполнении над ними различных арифметических и логических операций. С помощью регистров также выполняются такие действия над числами, как передача их из одного устройства в другое, сдвиг в сторону младших или старших разрядов, преобразование кода из последовательного в параллельный и наоборот.

В данной лабораторной работе предлагается реализовать четырехразрядный регистр сдвига на базе ИМС КР1533ТМ8.

ИМС КР1533ТМ8 расположена в корпусе DIP16 (16 выводов) и содержит четыре D-триггера (рис. 8.2), имеющих общий вход асинхронного сброса \bar{R} и тактируемого запуска C (прямой динамический вход).

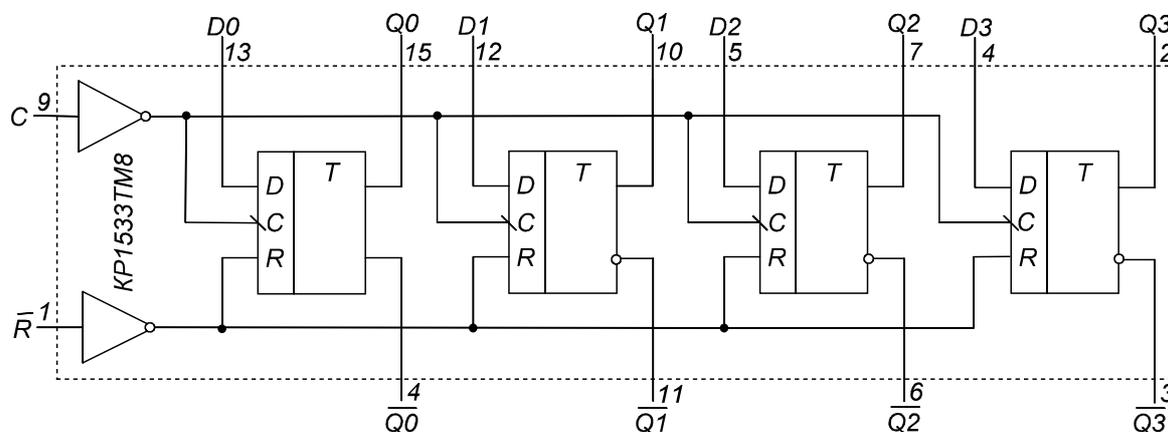


Рис. 8.2. Принципиальная схема ИМС КР1533ТМ8

Таблица 8.1

Таблица состояний КР1533ТМ8

Режим работы	Входы			Выходы	
	\bar{R}	C	D_n	Q_n	\bar{Q}_n
Сброс	0	x	x	0	1
Загрузка 1	1	↑	1	1	0
Загрузка 0	1	↑	0	0	1

Работу одного триггера из ИМС КР1533ТМ8 характеризует табл. 8.1. У каждого из 4-х триггеров имеются выходы Q и \bar{Q} . Сброс всех триггеров в состояние $Q_n=0$ произойдет, когда на вход асинхронного сброса \bar{R} будет подано напряжение низкого уровня. Входы C и D_n ($D1-D4$), когда $\bar{R} = 0$, не действуют, их состояние безразлично (x). Информацию с параллельных входов данных $D1-D4$ можно загрузить в триггеры микросхемы, если на вход \bar{R} подать напряжение высокого

уровня, а на тактовый вход C положительный перепад импульса. Предварительно установленные на каждом входе D логические уровни (0 или 1) появятся на соответствующем выходе Q . На рис. 8.3 приведено УГО ИМС КР1533ТМ8 и её цоколёвка.

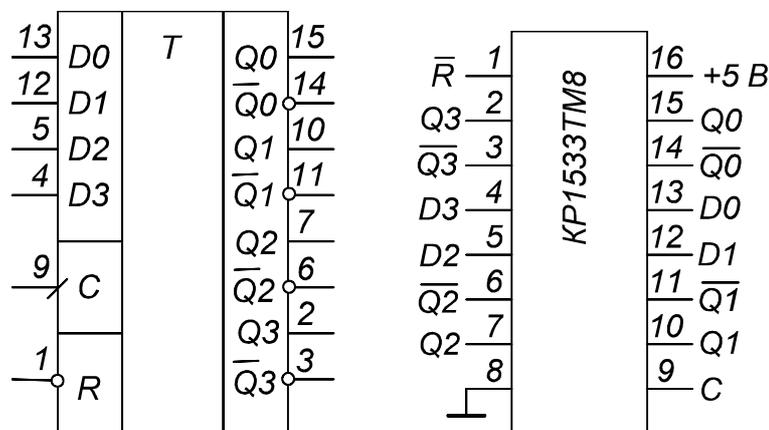


Рис. 8.3. УГО ИМС КР1533ТМ8 и её цоколёвка

Некоторые D-триггеры кроме асинхронного входа сброса могут снабжаться асинхронным входом установки, например, триггер КР1533ТМ2 (рис. 8.4). Микросхема содержит два D-триггера, работающих по переднему фронту тактового импульса, каждый из которых может асинхронно устанавливаться и сбрасываться независимо от другого. Табл. 8.2 характеризует работу одного сегмента ИМС КР1533ТМ2.

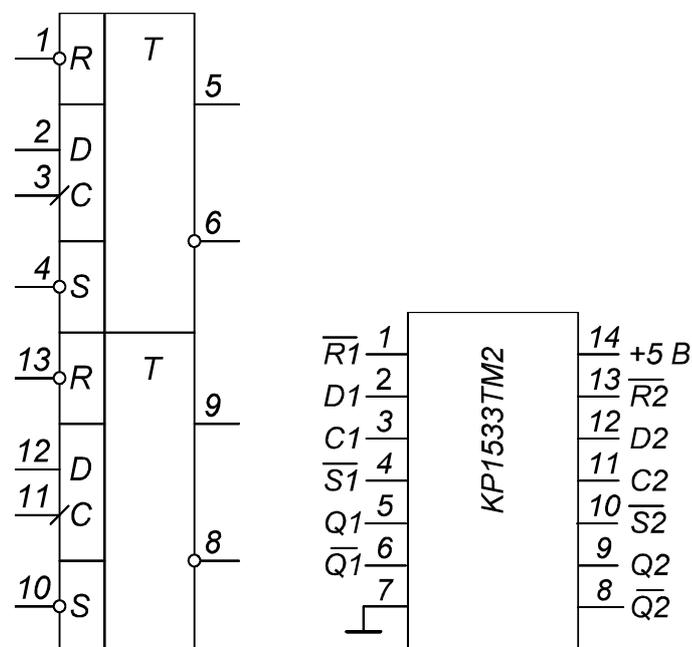


Рис. 8.4. УГО ИМС КР1533ТМ2 и её цоколёвка

Таблица состояний КР1533ТМ2

Входы				Выходы	
\bar{R}	\bar{S}	C	D	Q	\bar{Q}
0	1	x	x	1	0
1	0	x	x	0	1
0	0	x	x	-	-
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	0	x	$Q0$	$\bar{Q}0$

На рис. 8.5 (см. также табл. 8.3) приведена схема четырехразрядного сдвигающего регистра с последовательным вводом информации, построенная на базе ИМС КР1533ТМ8, и показано, как реализовать работу регистра сдвига с использованием имеющегося лабораторного оборудования. На рис. 8.6 приведены диаграммы напряжений на выходах триггеров, поясняющие принцип работы регистра сдвига.

Чтобы записать данные в младший разряд $Q0$, необходимо сначала их сформировать на входе $D0$, а затем сформировать импульс на входе C , по положительному перепаду которого данные со входа $D0$ запишутся в регистр и отобразятся на $Q0$. Напряжение, соответствующее логической 1 и логическому 0 на входе $D0$ и C , формируется с помощью триггера КР1533ТВ9. Для записи 1 необходимо сначала нажать кнопку 1 ($Kн1$) и, удерживая $Kн1$, нажать и отпустить $Kн2$. Для записи 0 достаточно просто нажать и отпустить $Kн2$. Уровни напряжений на входах $D0$, C , $Q0$ – $Q3$ рекомендуется контролировать с помощью светодиодов (VD1–VD6). Для схемы, изображенной на рис. 8.5, горящий светодиод на выходе КР1533ТВ9 соответствует $DI = 0$ или $C = 0$, а на выходах КР1533ТМ8 – $Q_n = 1$, $\bar{Q}_n = 0$.

Следует иметь в виду, что при таком способе формирования синхросигнала на работу схемы оказывает влияние возможный «дребезг» контактов кнопки $Kн2$, и сдвиг может происходить несколько раз за одно нажатие. Более предпочтителен другой вариант реализации сдвига: на вход $D0$ подключить формирователь на основе КР1533ТВ9 с одной или двумя кнопками (рис. 6.8), а на вход C подавать импульсы с частотой ≤ 1 Гц. Частота синхроимпульсов выбирается таким образом, чтобы было достаточно времени для формирования вручную значения на входе $D0$ и визуальной фиксации загорания светодиодов и записи результатов наблюдения. Делитель частоты строится путем последовательного соединения однотипных счетчиков (см. схему на рис. 7.8).

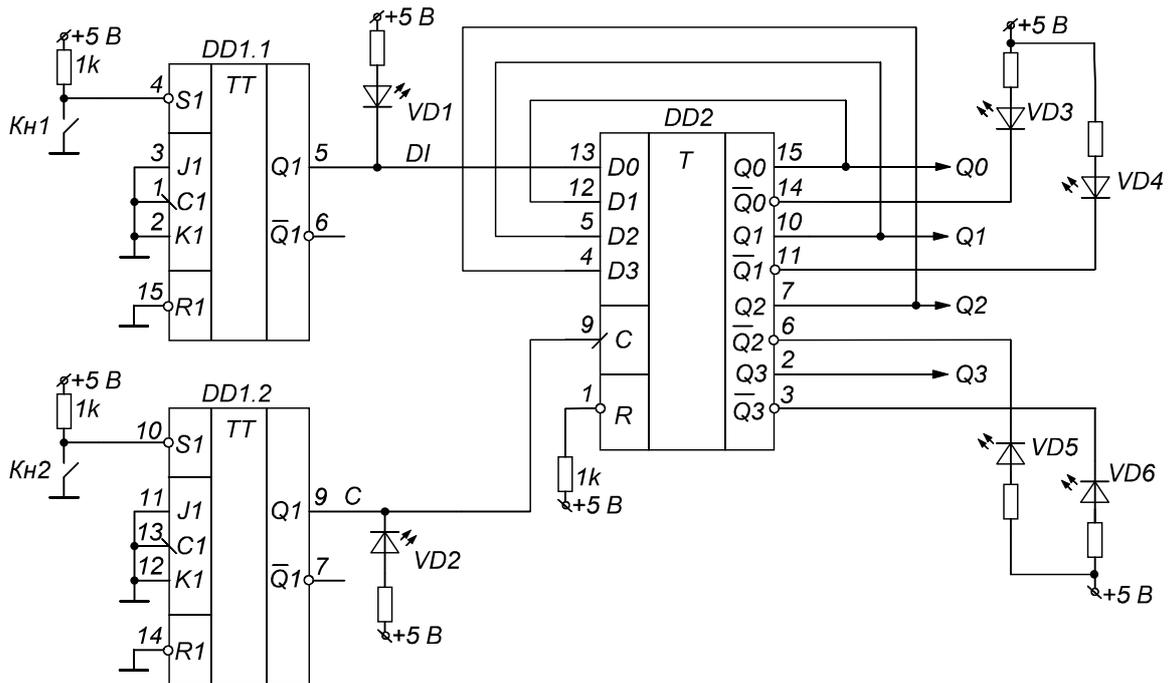


Рис. 8.5. Схема четырехразрядного регистра сдвига с последовательным вводом информации, построенная на базе ИМС КР1533ТМ8

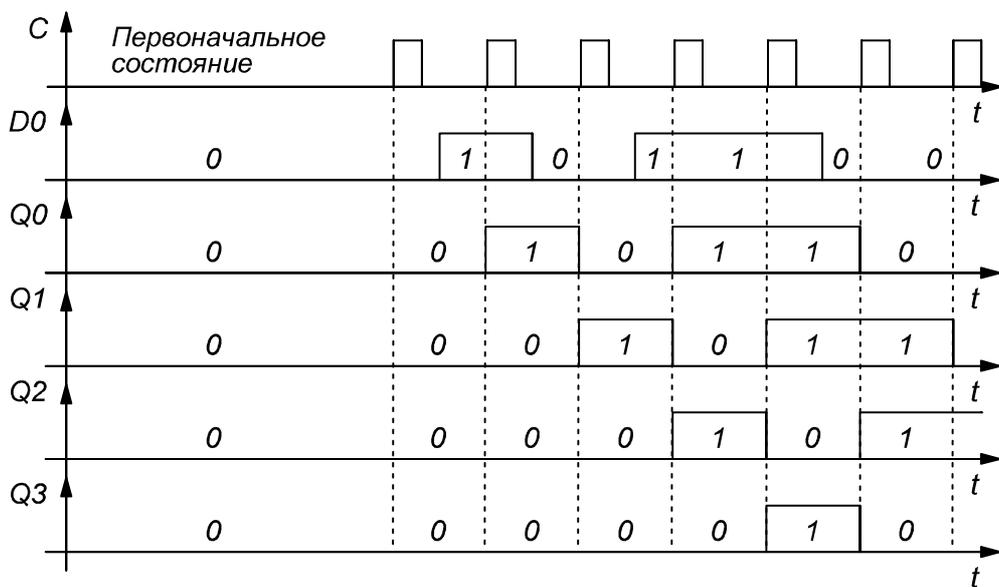


Рис. 8.6. Диаграммы напряжений в схеме на рис. 8.5

Таблица 8.3

ИМС на рис. 8.5

Тип ИМС	КР1533ТВ9	КР1533ТМ8
Обозначение на схеме	DD1	DD2
Общий	8	8
+5 В	16	16

В лабораторной работе также требуется реализовать генератор псевдослучайной импульсной последовательности на базе ИМС КР1533ТМ8 и дополнительной логики «исключающее ИЛИ». На рис. 8.7. приведена схема такого генератора (см. также табл. 8.4).

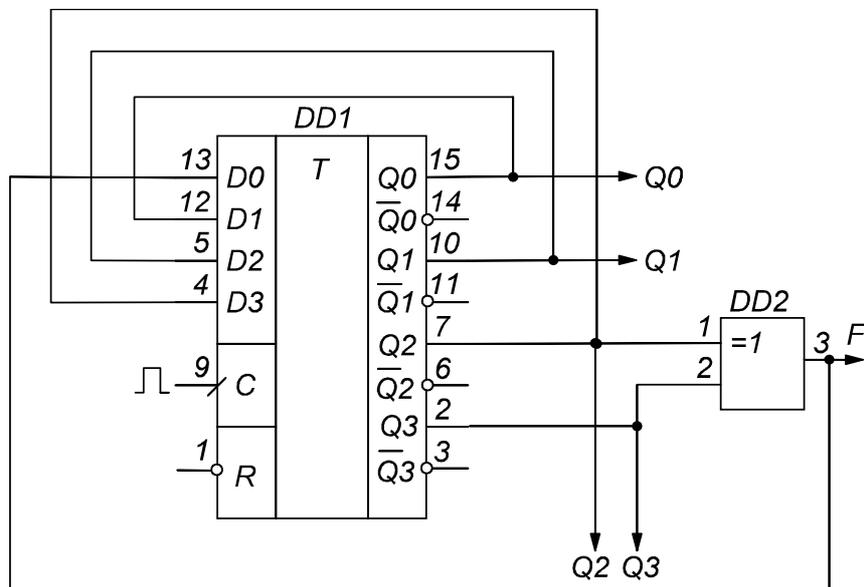


Рис. 8.7. Схема генератора псевдослучайной импульсной последовательности, построенная на базе ИМС КР1533ТМ8

Таблица 8.4

ИМС на рис. 8.7

Тип ИМС	КР1533ТМ8	КР1533ЛП15
Обозначение на схеме	DD2	DD2
Общий	8	7
+5 В	16	14

На рис. 8.8 изображен 8-ми разрядный кольцевой счетчик. Он формируется путем подачи сигнала сброса R одного из выходов регистра сдвига. Коэффициент счета в схеме на рис. 8.8. равен 6.

С помощью регистров может быть реализовано преобразование параллельного двоичного кода в последовательный двоичный код. На рис. 8.9 (см. также табл. 8.5) представлена схема, реализующая данный процесс с использованием D-триггеров – ИМС КР1533ТМ8.

Сигнал V осуществляет выбор режима работы регистра. При $V=0$ (запись) по переднему фронту синхроимпульса C на выходах триггеров $Q3$, $Q2$, $Q1$ и $Q0$ появляются уровни сигналов, присутствовавшие в этот момент на входах $D3$, $D2$, $D1$ и $D0$, соответственно, т.е. происходит параллельная загрузка данных. В этом режиме схема работает как регистр памяти.

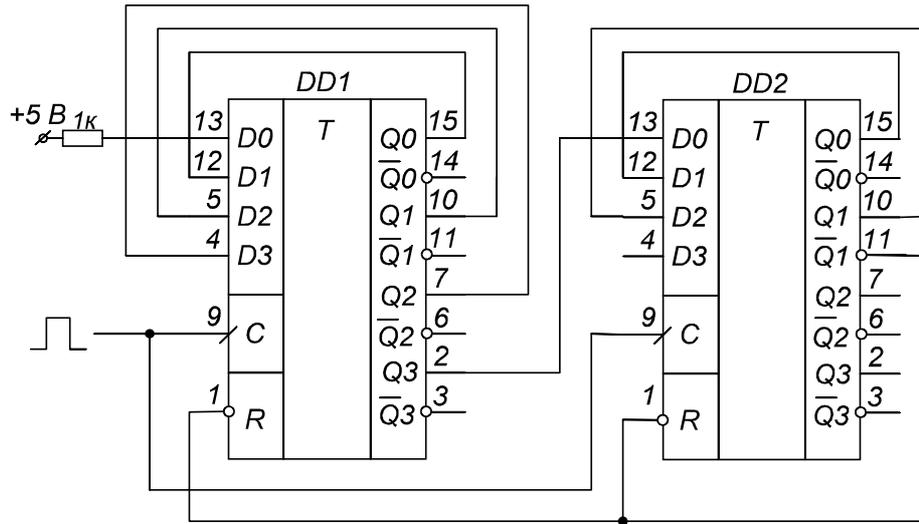


Рис. 8.8. Кольцевой счетчик (DD1, DD2 – КР1533ТМ8)

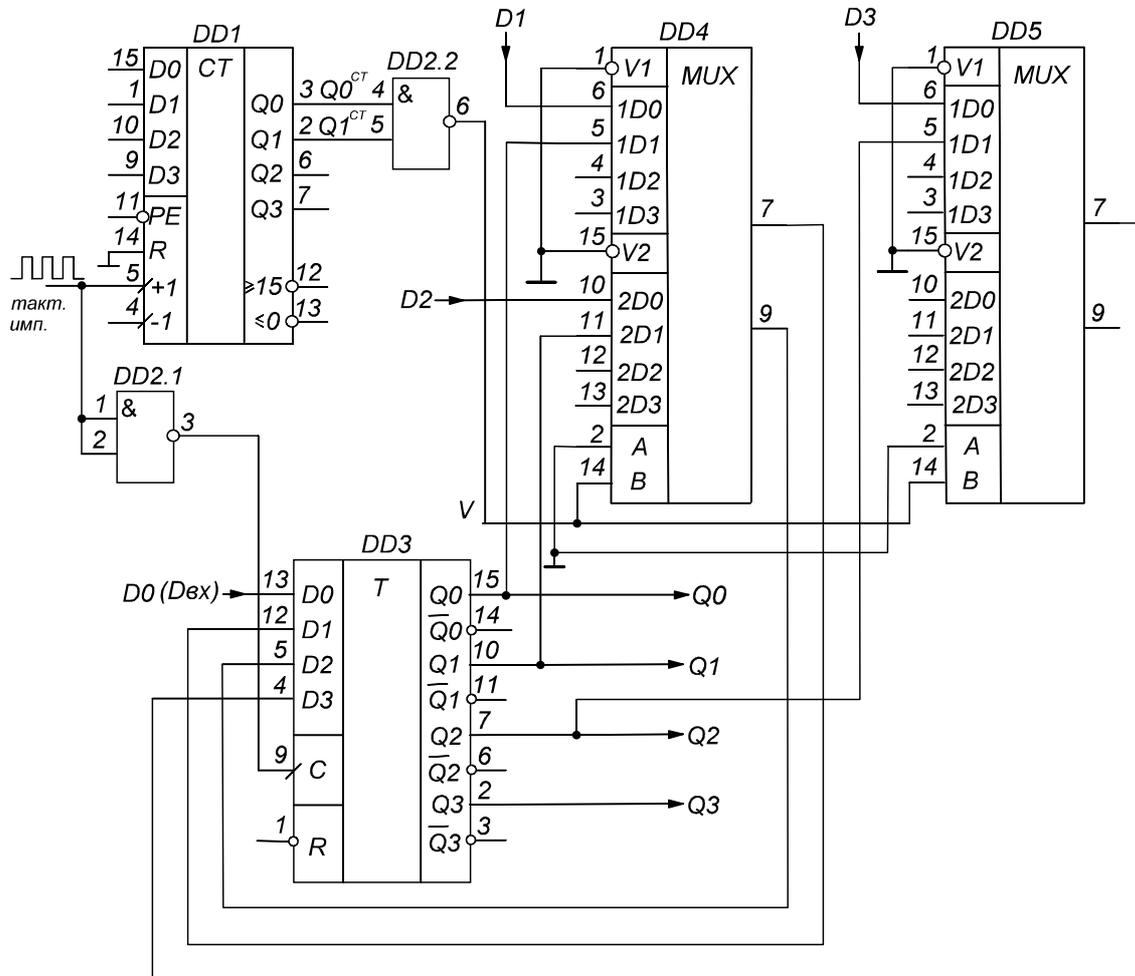


Рис. 8.9. Схема преобразования параллельного двоичного кода в последовательный двоичный код

ИМС на рис. 8.9

Тип ИМС	КР1533ИЕ7	КР1533ЛА3	КР1533ТМ8	КР1533КП2
Обозначение на схеме	DD1	DD2	DD3	DD4, DD5
Общий	8	7	8	8
+5 В	16	14	16	16

Если $V=1$, то схема осуществляет последовательный сдвиг данных, хранящихся в D-триггерах. Выходные данные не зависят от $D3$, $D2$ и $D1$. Если на вход первого триггера $D_{вх}$ подаются последовательные данные, схема осуществляет преобразование последовательного кода в параллельный код, как это было рассмотрено выше. Схема может также осуществлять хранение, запись и считывание информации в последовательной форме.

Для того чтобы схема осуществляла преобразование параллельного двоичного кода в последовательный двоичный код, сначала нужно записать входные параллельные данные $D3D2D1D0$ в соответствующие триггеры, а затем осуществлять их последовательный сдвиг. Тогда на выходе $D_{вых}$ по каждому синхроимпульсу будет последовательно появляться информация с $Q3$, $Q2$, $Q1$ и $Q0$, т.е. $D3$, $D2$, $D1$ и $D0$. Первым появится сигнал $D3$, а последним $D0$. На рис. 8.10 изображены диаграммы работы схемы, приведенной на рис. 8.9.

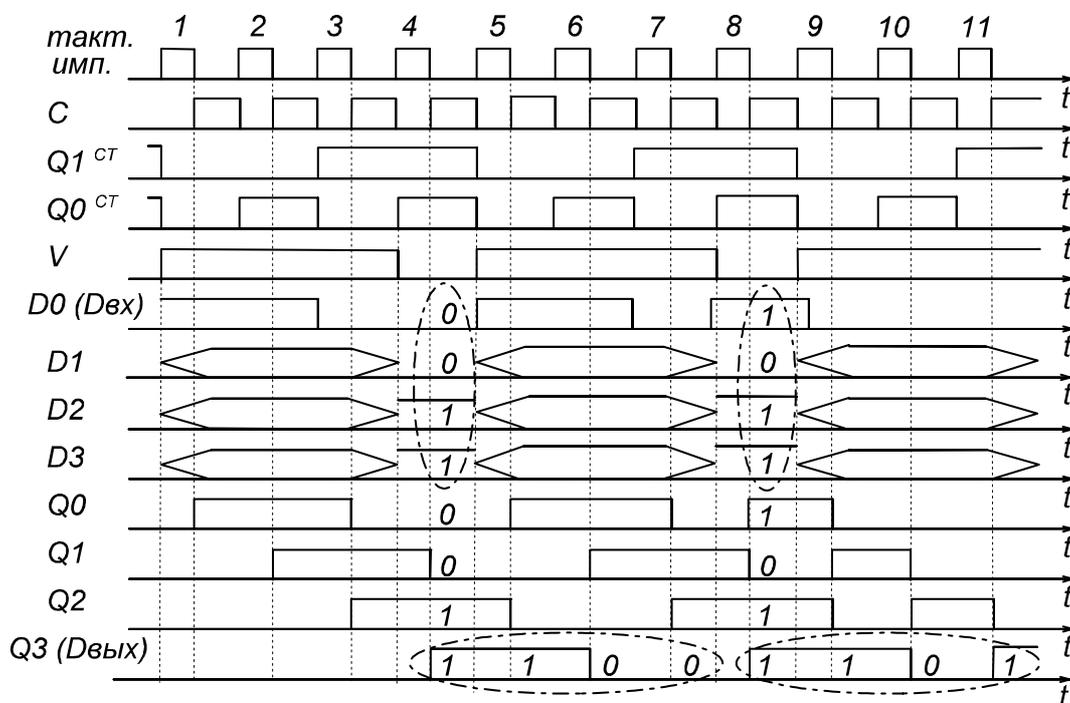


Рис. 8.10. Диаграммы работы схемы на рис. 8.9

8.4. ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

В лабораторной работе используется модуль УИК-1 с набором моделей ИМС для 3 курса. Порядок работы на модуле аналогичный описанному в п. 1.4. В лабораторной работе основное внимание уделяется исследованию ИМС КР1533ТМ8, на базе которой реализуются схемы регистров сдвига и генератора псевдослучайной последовательности импульсов.

Набор микросхем: КР1533ТМ8, КР1533ТМ2, КР1533КП2, КР1533ЛА3, КР1533ЛП5, КР1533ИЕ7. Для регистрации осциллограмм применяется двухканальный осциллограф.

8.5. ПРОГРАММА РАБОТЫ

1. Реализовать 4-х разрядный регистр сдвига на основе ИМС КР1533ТМ8 (рис. 8.5), проверить правильность его функционирования путем загрузки в него заданной информации и сдвига её вправо.

2. Реализовать на основе 4-х разрядного сдвигового регистра, построенного на базе ИМС КР1533ТМ8, и дополнительной логики «исключающее ИЛИ» генератор псевдослучайной импульсной последовательности (рис. 8.7). Учесть, что код 0000₂ блокирует работу генератора.

3. Проверить работу генератора в непрерывном режиме, используя в качестве тактовых сигналов встроенный генератор импульсов и делитель частоты. Определить цикл работы генератора и описать импульсную последовательность в виде диаграммы или таблицы истинности.

4. Реализовать кольцевой счетчик на базе ИМС КР1533ТВ9 (рис. 8.8). Коэффициент счета задается преподавателем.

5. Реализовать схему преобразования параллельного двоичного кода в последовательный двоичный код на основе ИМС КР1533ТМ8 (рис. 8.9).

8.6. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Какие функции выполняют регистры сдвига, памяти?
2. Сколько нужно триггеров для построения 12-ти разрядного регистра сдвига?
3. Как увеличить разрядность регистра памяти?
4. Как увеличить разрядность регистра сдвига?
5. Какой способ обработки данных более быстрый: параллельный или последовательный?
6. Какое назначение элемента DD2.2 в схеме на рис. 8.9.

Лабораторная работа № 9

ИССЛЕДОВАНИЕ МИКРОСХЕМ РЕГИСТРОВ СДВИГА И СИНТЕЗ СХЕМ НА ИХ ОСНОВЕ

9.1. ЦЕЛЬ РАБОТЫ

Цель настоящей работы состоит в исследовании студентами функциональных возможностей микросхем регистров сдвига и развитии навыков решения задач цифровой техники нестандартными методами.

9.2. ПРЕДВАРИТЕЛЬНОЕ ЗАДАНИЕ

1. Изучить принципы функционирования ИМС регистров КР555ИР8, КР1533ИР10, КР531ИР11.
2. Знать принцип увеличения разрядности регистров.
3. Изучить принцип построения реверсивного сдвигающего регистра.
4. Изучить способ построения схемы последовательной передачи информации с помощью регистров сдвига.

9.3. ОСНОВНЫЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Регистры сдвига или сдвиговые регистры (англ. shift register) представляют собой, как уже отмечалось в предыдущей лабораторной работе, последовательно соединенную цепочку триггеров. Основным режим их работы – это сдвиг разрядов кода, записанного в эти триггеры, т.е. по тактовому сигналу содержимое каждого предыдущего триггера переписывается в следующий по порядку в цепочке триггер. Код, хранящийся в регистре, с каждым тактом сдвигается на один разряд в сторону старших разрядов или в сторону младших разрядов, что и дало название регистрам данного типа.

Относительно названия направления сдвига в сдвиговых регистрах часто возникает путаница. Сдвиг бывает двух видов: вправо (основной режим, который есть у всех сдвиговых регистров) и влево (этот режим есть только у некоторых, реверсивных сдвиговых регистров). Эти названия отражают внутреннюю структуру регистров сдвига и перезапись сигналов последовательно по цепочке триггеров. При этом триггеры, вполне естественно, нумеруются слева направо, например, от 0 до 7 (или от 1 до 8) для 8-разрядных регистров. В результате сдвиг информации регистром вправо представляет собой сдвиг в сторону разрядов, имеющих большие номера, а сдвиг информации регистром влево – это

сдвиг в сторону разрядов, имеющих меньшие номера. Направление сдвига показывает стрелка на УГО регистра [8].

Однако, как известно, в любом двоичном числе слева расположены старшие разряды, а справа – младшие разряды. Поэтому в информатике и микропроцессорной технике принято считать сдвигом двоичного числа вправо сдвиг в сторону младших разрядов, а сдвиг влево – сдвигом в сторону старших разрядов.

С помощью регистров можно выполнять операции умножения на два и деления на два. Умножение хранящегося числа на 2 осуществляется путем сдвига в сторону старших разрядов и записи 0 в младший разряд. Целочисленное деление хранящегося числа на 2 осуществляется путем сдвига в сторону младших разрядов и записи 0 в старший разряд.

В стандартные серии цифровых микросхем входит несколько типов сдвиговых регистров, отличающихся возможными режимами работы, режимами записи, чтения и сдвига. Большинство регистров сдвига имеет восемь разрядов. В данной лабораторной работе рассмотрим работу ИМС КР555ИР8. УГО и цоколёвка данной ИМС представлены на рис. 9.1. Таблица состояний регистра КР555ИР8 приведена в табл. 9.1.

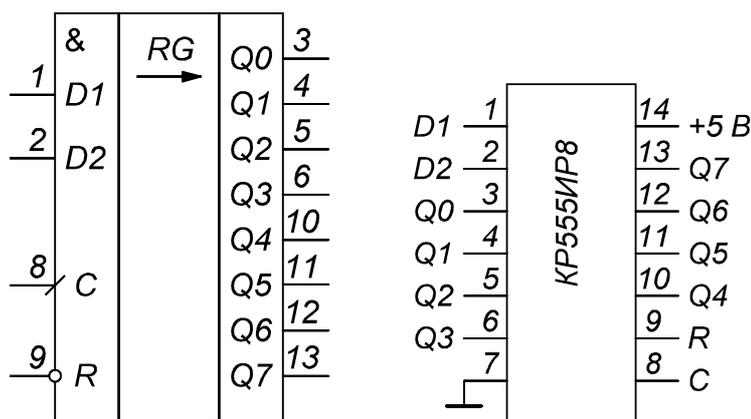


Рис. 9.1. УГО и цоколёвка ИМС КР555ИР8

Таблица 9.1

Таблица состояний регистра КР555ИР8

Входы				Выходы			
<i>R</i>	<i>C</i>	<i>&</i>	<i>D</i>	<i>Q0</i>	<i>Q1</i>	...	<i>Q7</i>
0	x	x	x	0	0	...	0
1	0	x	x	Не меняются			
1	1	x	x	Не меняются			
1	0→1	1	1	1	<i>Q0</i>	...	<i>Q6</i>
1	0→1	0	x	0	<i>Q0</i>	...	<i>Q6</i>
1	0→1	x	0	0	<i>Q0</i>	...	<i>Q6</i>

Регистр КР555ИР8 – один из наиболее простых регистров сдвига. Это восьмиразрядный сдвигающий регистр. Он имеет вход C для подачи импульсов сдвига, вход сброса R , два равноправных входа данных $D1$ и $D2$ для подачи сдвигаемой информации, собранных по И, и восемь выходов. Обнуление триггеров регистра производится подачей логического 0 на вход R . Прием информации с внутренних входов $D_{n+1}=Q_n$ и её сдвиг в сторону выходов с большими номерами происходят по переднему фронту импульса на входе C .

На рис. 9.2 показана схема увеличения разрядности регистра КР555ИР8. В результате последовательного соединения двух 8-разрядных ИМС получается 16-разрядный сдвиговый регистр. При этом увеличение разрядности не приводит к увеличению задержки сдвига, так как тактовые входы всех используемых регистров объединяются параллельно. Входной последовательный код преобразуется в 16-разрядный выходной параллельный код. Точно так же можно объединять и большее количество микросхем.

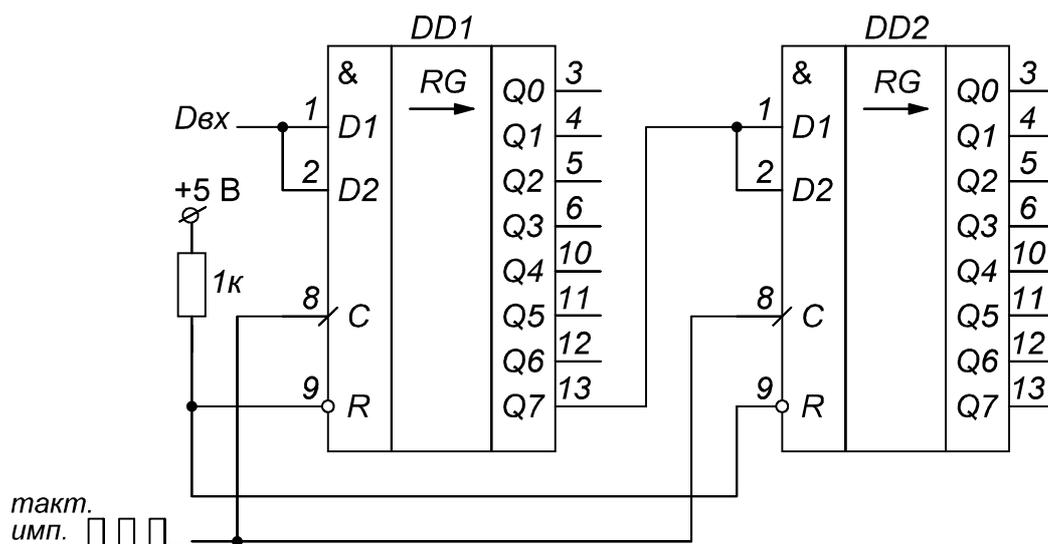


Рис. 9.2. Соединение регистров КР555ИР8 для увеличения разрядности (DD1, DD2 – КР555ИР8)

На основе замкнутого регистра сдвига в лабораторной работе предлагается построить кольцевой счетчик Джонсона. Счетчики Джонсона получили распространение в системах автоматики в качестве распределителей импульсов. Они имеют коэффициент пересчета вдвое больший числа составляющих его триггеров. В частности, на рис. 9.3 построен счетчик на основе ИМС КР555ИР8, состоящей из восьми триггеров, то есть он будет иметь 16 устойчивых состояний. Таблица 9.4 характеризует работу данной схемы (N – счетные импульсы).

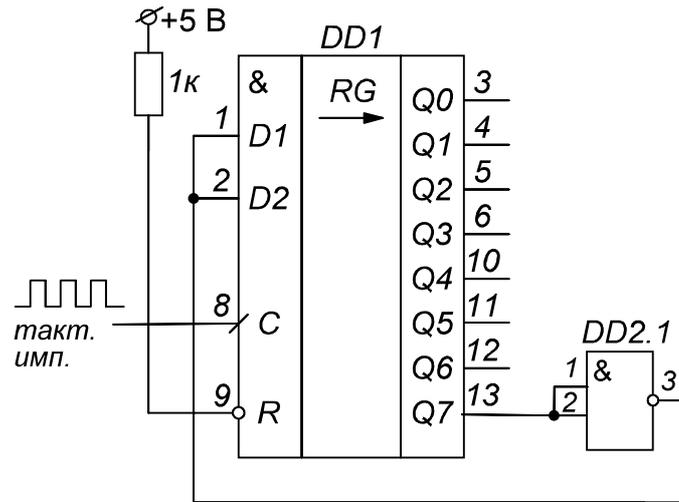


Рис. 9.3. Счетчик Джонсона на основе ИМС КР555ИР8

Таблица 9.2

ИМС в схеме на рис. 9.3

Тип ИМС Обозначение на схеме	КР555ИР8 DD1	КР1533ЛА3 DD2
Общий	7	7
+5 В	14	14

Таблица 9.3

Таблица состояний схемы на рис. 9.3

N	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0
2	1	1	0	0	0	0	0	0
3	1	1	1	0	0	0	0	0
4	1	1	1	1	0	0	0	0
5	1	1	1	1	1	0	0	0
6	1	1	1	1	1	1	0	0
7	1	1	1	1	1	1	1	0
8	1	1	1	1	1	1	1	1
9	0	1	1	1	1	1	1	1
10	0	0	1	1	1	1	1	1
11	0	0	0	1	1	1	1	1
12	0	0	0	0	1	1	1	1
13	0	0	0	0	0	1	1	1
14	0	0	0	0	0	0	1	1
15	0	0	0	0	0	0	0	1
16	0	0	0	0	0	0	0	0

Основное применение всех регистров сдвига состоит в преобразовании параллельного кода в последовательный, и наоборот. Такое преобразование используется, например, при передаче информации на большие расстояния (в информационных сетях), при записи информации на магнитные носители, при работе с телевизионными мониторами и видеокамерами, а также во многих других случаях.

Для реализации схемы последовательной передачи информации с помощью регистров сдвига в данной лабораторной работе используется регистры КР555ИР8 и КР1533ИР10. УГО и цоколёвка микросхемы КР1533ИР10 изображены на рис. 9.4.

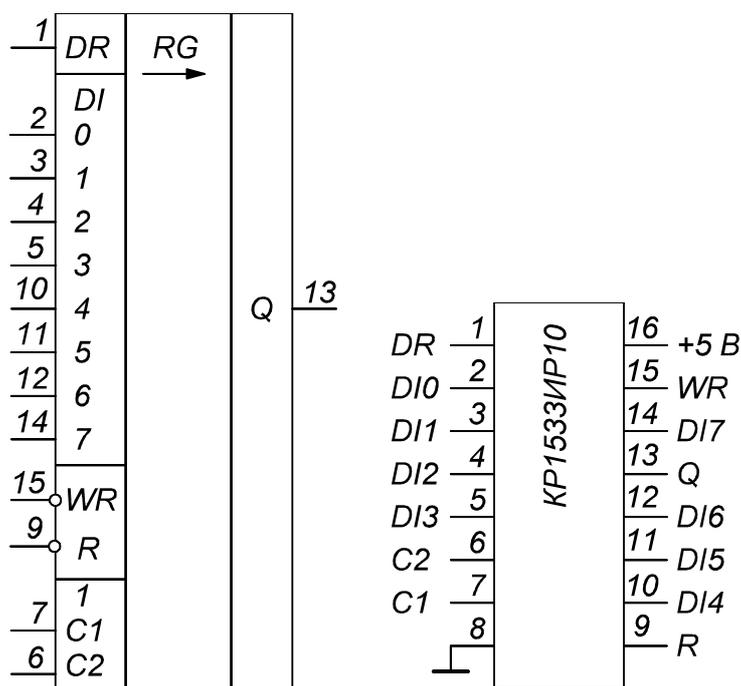


Рис. 9.4. УГО и цоколёвка ИМС КР1533ИР10

Регистр КР1533ИР10 выполняет функцию, обратную регистру КР555ИР8. КР1533ИР10 преобразует входную параллельную информацию в выходную последовательную. Однако суть сдвига не меняется, просто в КР1533ИР10 все внутренние триггеры имеют выведенные параллельные входы, и только один, последний триггер имеет выведенный выход. Запись и сдвиг информации осуществляется по положительному перепаду напряжения на одном из двух тактовых входов $C1$ и $C2$, объединенных по функции 2ИЛИ. При этом сигнал на входе \overline{WR} осуществляет выбор: $\overline{WR} = 0$ – запись, $\overline{WR} = 1$ – сдвиг. Имеется также вход расширения DR , сигнал с которого в режиме сдвига перезаписыва-

ется в младший разряд сдвигового регистра. Режимы работы регистра КР1533ИР10 приведены в табл. 9.4.

Таблица 9.4

Режимы работы КР1533ИР10

Входы			Функция
<i>R</i>	<i>WR</i>	<i>C1</i> ∨ <i>C2</i>	
1	0	↑	Параллельная запись
1	х	0	Хранение
1	х	1	
1	1	↑	Сдвиг
0	х	х	Асинхронный сброс

На рис. 9.5 (см. также табл. 9.5) показаны два примера схем передачи и приема цифровой информации в последовательном коде по двум линиям: информационной и синхронизирующей. Такая передача позволяет сократить количество соединительных проводов по сравнению с передачей параллельных данных, а также упростить защиту передаваемых данных от действия внешних электромагнитных помех, правда, ценой снижения скорости передачи. Отличие схем на рис. 9.5, *а* и 9.5, *б* заключается в том, что в первом случае данные с входов *DI* регистра DD1 загружаются один раз по нажатию кнопки *Kn1*, а во втором случае параллельная загрузка происходит периодически по каждому восьмому тактовому импульсу.

На передающем конце (слева на рис. 9.5) с помощью сдвигового регистра КР1533ИР10 входной параллельный 8-разрядный код преобразуется в последовательность разрядов данных, следующих с частотой тактового сигнала. На приемном конце (справа на рисунке) с помощью сдвигового регистра КР555ИР8 эта последовательность данных снова преобразуется в параллельный код. Оба регистра тактируются одним и тем же тактовым сигналом, который передается по линии связи параллельно с последовательностью данных. Для увеличения надежности передачи тактовый сигнал для приемной части задерживается с помощью цепочки из двух (или более) инверторов.

Первый бит входного параллельного кода с входа *DI7* регистра КР1533ИР10 начинает передаваться в момент записи данных в регистр ($\overline{WR} = 0$). Следующие разряды передаются с каждым следующим передним фронтом тактового сигнала на входах *C1* и *C2*. Последним передается сигнал с входа *DI0*. При длительном удержании *Kn1* последовательный код на выходе DD1 представляет собой ряд одинаковых значений, равных *DI7*.

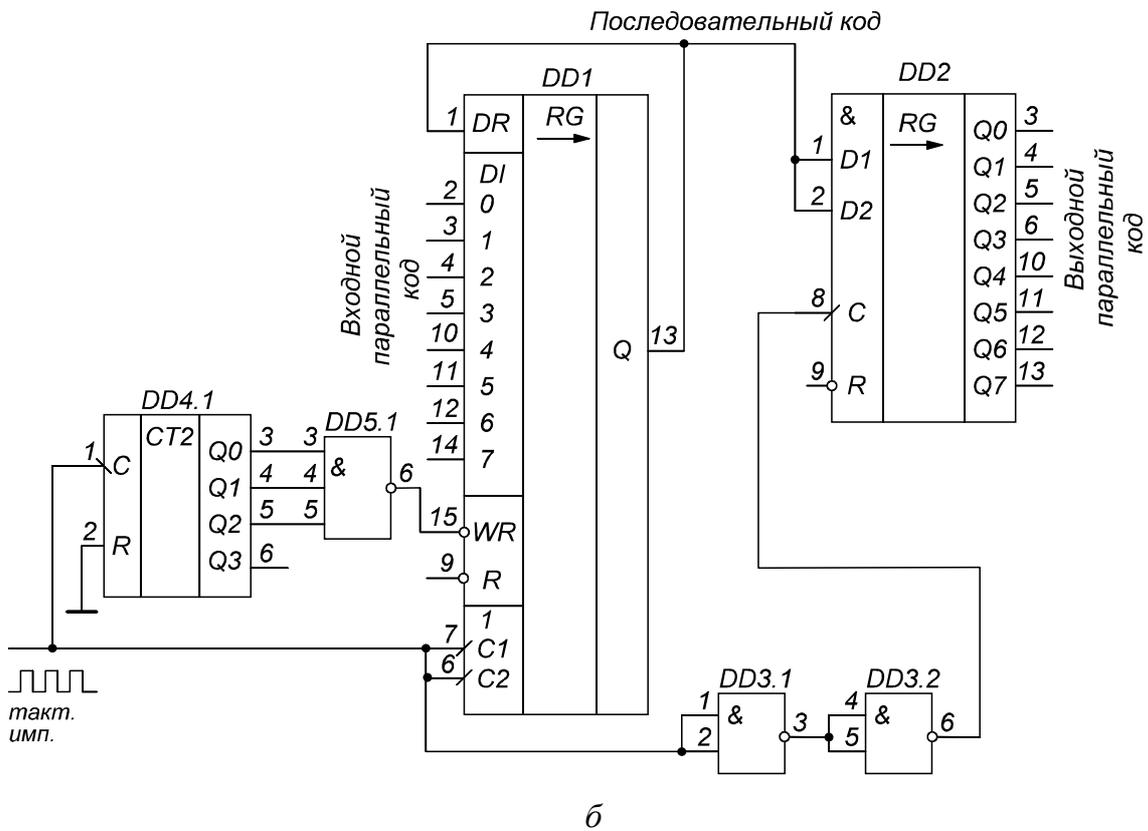
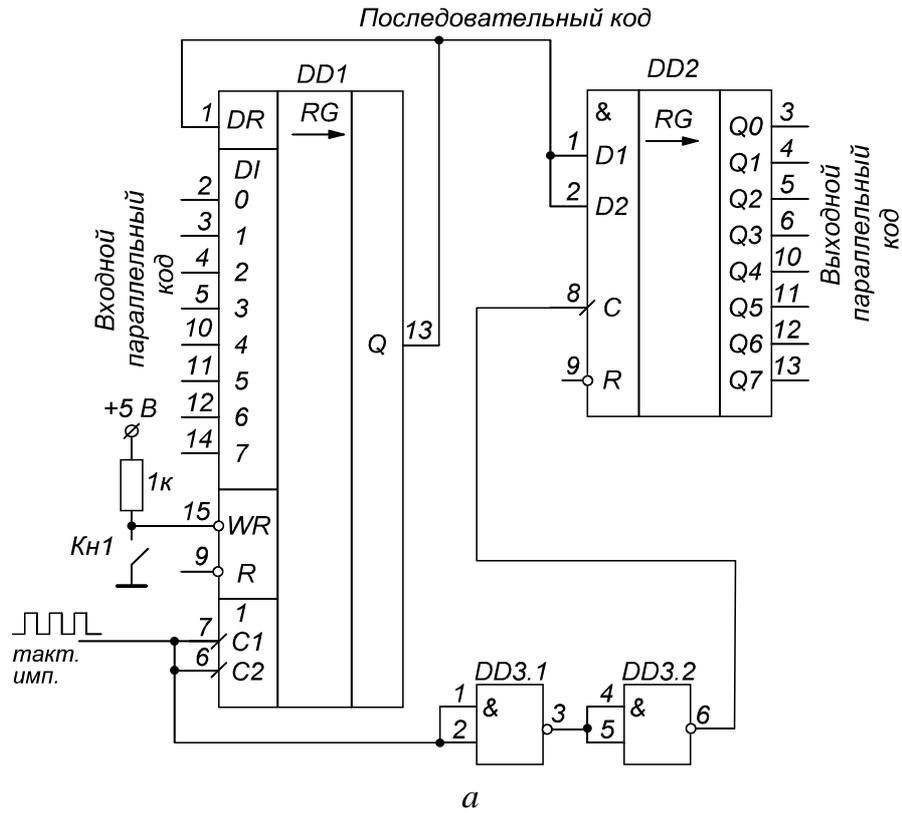


Рис. 9.5. Последовательная передача информации, представленной в параллельном коде, с помощью регистров сдвига

Таблица 9.5

ИМС в схеме на рис. 9.5

Тип ИМС	КР1533ИР10	КР555ИР8	КР1533ЛА3	КР1533ИЕ19	КР1533ЛА4
Обозначение	DD1	DD2	DD3	DD4	DD5
Общий	8	7	7	7	7
+5 В	16	14	14	14	14

В регистр КР555ИР8 разряды последовательного кода записываются в том же порядке, в каком они были в регистре КР1533ИР10 после начала сдвига (снятия сигнала $\overline{WR} = 0$). По окончании передачи первый переданный бит данных окажется в разряде $Q7$ регистра КР555ИР8, а последний переданный бит данных – в разряде $Q0$.

Еще одной ИМС, которую предлагается изучить в данной лабораторной работе, является ИМС регистра сдвига К531ИР11. УГО и цоколёвка ИМС К531ИР11 представлены на рис. 9.6. В табл. 9.6 указаны назначения выводов микросхемы.

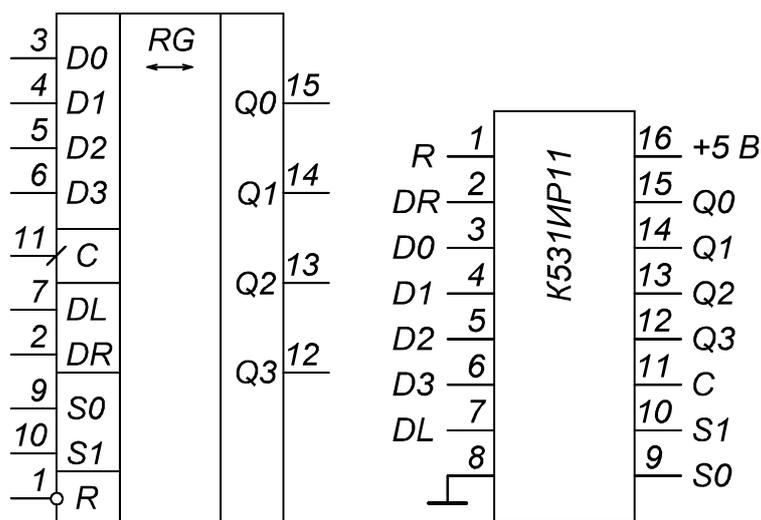


Рис. 9.6. УГО и цоколёвка К531ИР11

Таблица 9.6

Назначение выводов ИМС К531ИР11

Обозначение вывода	Назначение
$Q0 - Q3$	Выходы данных
$D0 - D3$	Входы данных для параллельной записи
C	Синхронизация сдвига/записи
DL	Вход последовательных данных (сдвиг влево)
DR	Вход последовательных данных (сдвиг вправо)
$S0, S1$	Вход выбора режима
R	Асинхронный сброс

ИМС К531ИР11 представляет собой четырехразрядный сдвигающий регистр, позволяющий производить последовательную и параллельную запись информации, последовательное и параллельное считывание, сдвиг. Режимы работы ИМС приведены в табл. 9.7. Вход *C* служит для подачи положительных тактовых импульсов, сдвигающих или записывающих информацию, сдвиг или запись происходит по переднему фронту импульса. При подаче на управляющие входы $S0=0$ и $S1=0$ вход тактовых импульсов блокируется, и регистр хранит записанную ранее информацию. В случае, когда $S0=1$ и $S1=1$ регистр работает как регистр памяти, т.е. по каждому положительному перепаду на входе *C* происходит запись информации с входов данных $D0-D3$. Входы *DL* и *DR* предназначены для последовательной записи информации в регистр. При подаче $S0=1$ и $S1=0$ по переднему фронту тактового импульса все биты на выходах $Q0-Q2$ сдвигаются в сторону старших разрядов, и бит данных с входа *DR* записывается в младший разряд $Q0$. При подаче $S0=0$ и $S1=1$ по переднему фронту тактового импульса все биты на выходах $Q1-Q3$ сдвигаются в сторону младших разрядов, и бит данных с входа *DL* записывается в старший разряд $Q3$.

Таблица 9.7

Режимы работы ИМС К531ИР11

<i>S0</i>	<i>S1</i>	Режим
0	0	Хранение
0	1	Сдвиг влево
1	0	Сдвиг вправо
1	1	Параллельный ввод

Рассмотрим построение реверсивного сдвигающего регистра на базе ИМС К531ИР11. На рис. 9.7 (см. также табл. 9.8) показана возможная реализация схемы, позволяющей осуществлять сдвиг вправо и влево хранящейся в регистре информации, то есть умножение и деление на 2. Данные, которые будут сдвигаться, задаются в параллельном коде на входах $D0-D3$ (в данном случае – 0001_2).

Формирователями на триггерах DD1 и DD2 задается режим работы микросхемы, согласно табл. 9.7. Предлагается сначала загрузить в регистр число 0001_2 нажав одновременно кнопки *Kn1* и *Kn2*. При этом на индикаторе HG1 высветится цифра “1”. Для того, чтобы осуществить сдвига вправо и получить на индикаторе цифру “2” (умножение на 2 цифры 0001_2 даст 0010_2) нужно удерживать кнопку *Kn1* в течение периода повторения импульсов на входе *C*. Дальнейшее удержание кнопки приведет к следующему сдвигу, т.е. умножению еще на 2, и т.д. Аналогично осуществляется деление на два (удерживается *Kn2*).

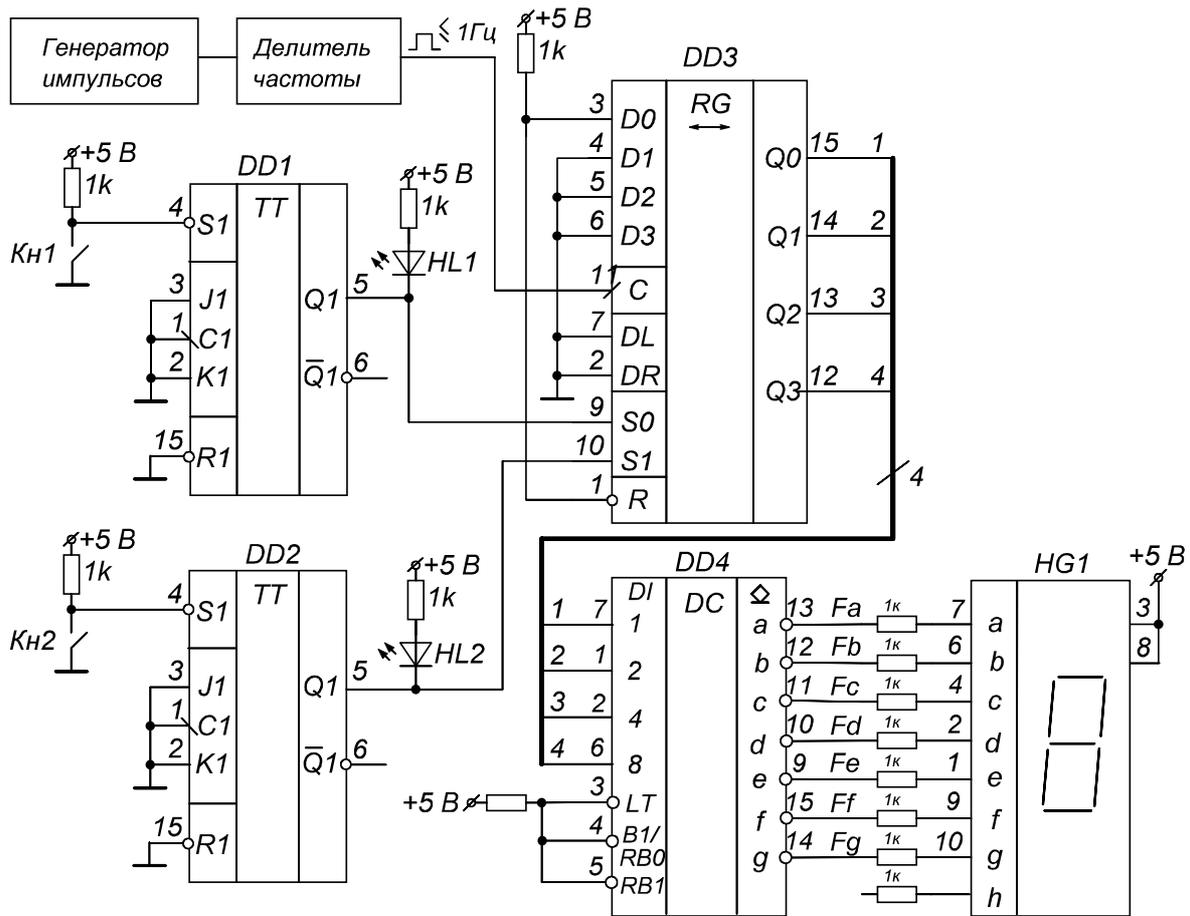


Рис. 9.7. Реверсивный регистр сдвига

Таблица 9.8

ИМС в схеме на рис. 9.7

Тип ИМС	K1533ТВ9	K531ИР11	K533ИД18
Обозначение на схеме	DD1, DD2	DD3	DD1
Общий	8	7	8
+5 В	16	14	16

На базе регистров КР555ИР8 и КР1533ИР10 может быть реализована схема последовательного сумматора. Подобная схема изображена на рис. 9.8 (см. также табл. 9.9). Схема осуществляет последовательное сложение данных из одноименных разрядов регистров DD1 и DD2 с учетом переноса, который хранится в триггере DD6. Входные и выходные данные в данной схеме задаются в параллельном коде. Поскольку регистры осуществляют сдвиг вправо через старшие разряды, то младшие биты слагаемых должны подаваться на входы $DI7$ микросхем DD2 и DD3, соответственно, старшие на $DI0$. Достоверный результат сложения будет присутствовать на выходах с $Q0$ (старший бит) по $Q7$ (младший бит) DD5 после 8 тактовых импульсов (включая предустановку).

Перед загрузкой числа в регистры DD2 и DD3 регистр DD5 и триггер DD6 следует сбросить. Сброс осуществляется подключением ножки R сначала к нулевому потенциалу, а затем к напряжению питания.

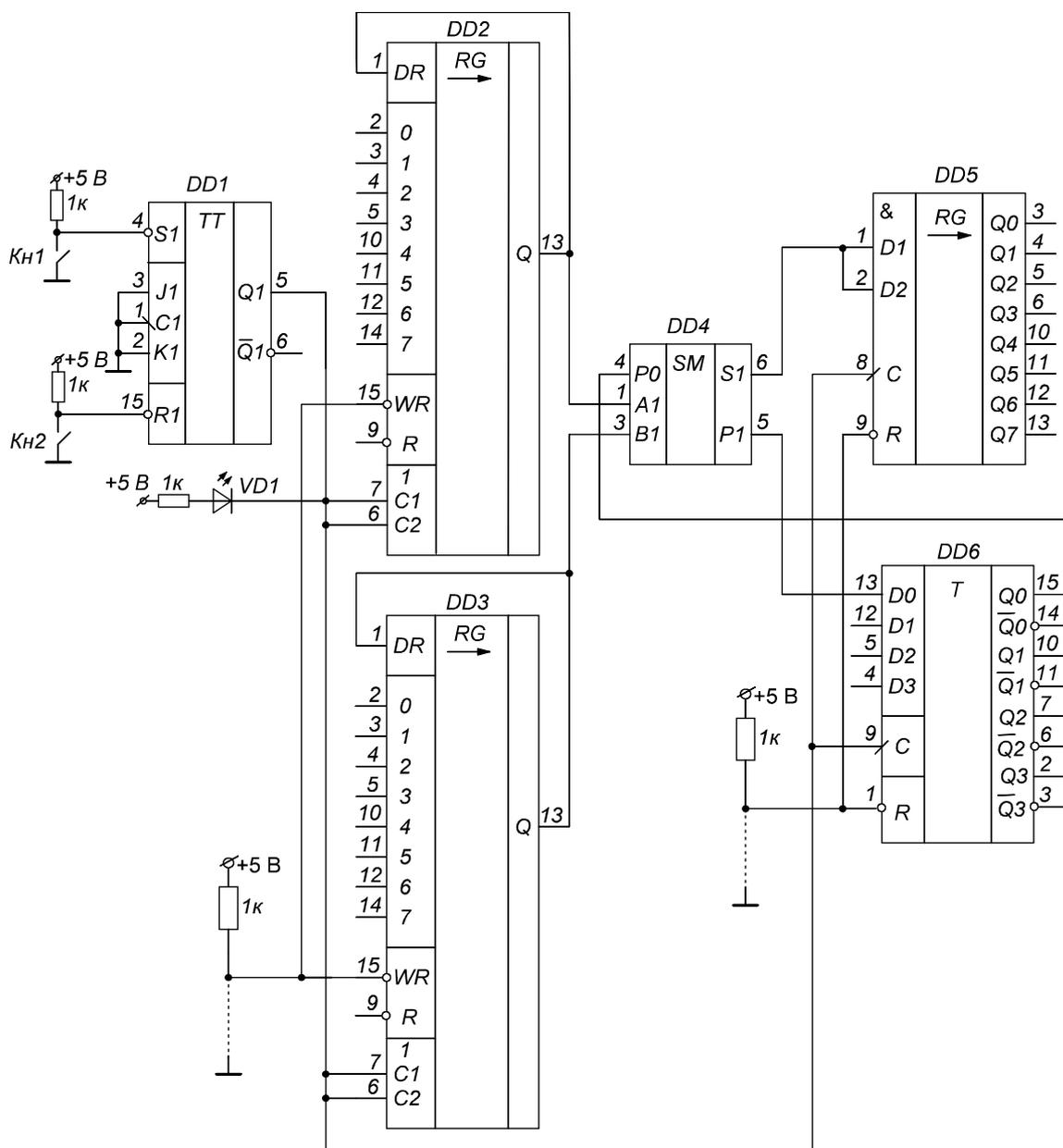


Рис. 9.8. Последовательный сумматор

Таблица 9.9

ИМС в схеме на рис. 9.8

Тип ИМС	КР1533ТВ9	КР1533ИР10	К555ИМ5	КР555ИР8	КР1533ТМ8
Обозначение	DD1	DD2, DD3	DD4	DD5	DD6
Общий	8	7	7	7	8
+5 В	16	14	14	14	16

9.4. ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

В лабораторной работе используется модуль УИК-1 с набором моделей ИМС для 3 курса. Порядок работы на модуле аналогичный описанному в п. 1.4.

Набор микросхем: КР555ИР8, КР1533ИР10, КР531ИР11, К555ИМ5, КР1533ТМ8, КР1533ТВ9, КР1533ЛА3, КР1533ЛА4, КР1533ИЕ19.

Для регистрации сигналов используется двухканальный осциллограф, а также имеющиеся в составе лабораторного модуля светодиоды.

9.5. ПРОГРАММА РАБОТЫ

1. Реализовать схему последовательного соединения регистров КР1533ИР8 для увеличения разрядности (рис. 9.2). Загрузить в регистры двоичный код, заданный преподавателем.

2. Собрать счетчик Джонсона с заданным коэффициентом счета.

3. Реализовать схему последовательной передачи информации с помощью регистров сдвига (рис. 9.5). Проверить её функционирование на примере двух разных двоичных чисел.

4. Собрать схему на основе реверсивного регистра сдвига КР1533ИР11 (рис. 9.7). Исследовать работу регистра (сдвиг вправо и влево), задав несколько произвольных чисел на входах $D0-D3$.

5. Реализовать схему последовательного сумматора (рис. 9.8). Значения слагаемых задаются преподавателем.

9.6. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. В чем преимущества и недостатки передачи информации в последовательном коде? Для каких задач используется параллельная и последовательная передача данных?

2. Объясните, каким образом в регистре сдвига каждый синхроимпульс обеспечивает сдвиг информации ровно на один разряд.

3. Почему триггеры, синхронизуемые уровнем, не могут быть использованы для построения регистров сдвига?

4. Перечислите возможности ИМС К531ИР11 и предложите, где может использоваться данная микросхема?

5. С какой целью в схемах на рис. 9.5 выход Q микросхемы DD1 соединен с входом DR этой же микросхемы?

6. Поясните назначение элементов DD4.1 и DD5.1 в схеме на рис. 9.5, б.

7. Поясните принцип работы последовательного сумматора.

8. В какую часть схемы на рис. 9.8. для надежной работы следует ввести линию задержки и как оценить её величину?

ТРЕБОВАНИЯ К ПРЕДСТАВЛЕНИЮ ОТЧЕТА ПО ЛАБОРАТОРНОЙ РАБОТЕ

В соответствии с программой работы в отчете должны быть приведены принципиальные схемы всех реализованных в лабораторной работе устройств и диаграммы (осциллограммы) электрических сигналов на выходах схем, включая промежуточные узлы. Работу элементов в статическом режиме пояснить соответствующими таблицами истинности. Если в ходе работы потребовалось выполнение дополнительных заданий, их результаты также включаются в отчет.

В случае, когда предварительное задание предполагает выполнение расчетов (минимизации и других преобразований), эти расчеты также приводятся в отчете.

В заключение отчета должны быть сделаны соответствующие выводы по каждому виду исследований и приведены ответы на контрольные вопросы, данные преподавателем. Защита лабораторной работы производится по представлению отчета.

ЗАКЛЮЧЕНИЕ

В учебном пособии рассмотрен цикл лабораторных работ по использованию микросхем цифровых устройств и синтезу электронных схем на их основе.

Авторы пособия признательны научному коллективу под руководством д.т.н. Солдатов А.И. за разработанный коммутационный модуль УИК-1, сделавший возможным постановку лабораторного практикума по дисциплине «Цифровые устройства» на новом, более высоком техническом уровне.

СПИСОК ЛИТЕРАТУРЫ

1. Коммутационная среда: пат. 2280891 Рос. Федерация. № 001133237/09; заявл. 06.12.01; опубл. 27.07.06, Бюл. № 21. – 8 с.
2. Солдатов А.И., Ким О.Х. Технические и алгоритмические проблемы коммутации современной электроники // Известия высших учебных заведений. Физика. – 2010 – Т. 53. – № 9/3. – С. 308–311.
3. Солдатов А.И., Чертов А.С. Методические указания к лабораторным работам по дисциплине «Цифровые устройства». – Томск: Изд-во ТПУ, 2004. – 62 с.
4. Шило В.Л. Популярныe цифровые микросхемы: справочник. – 2-е изд., испр. – М.: Радио и связь, 1989. – 350 с.: ил.
5. Аванесян Г.Р., Левшин В.П. Интегральные микросхемы ТТЛ, ТТЛШ: Справочник. – М.: Машиностроение, 1993. – 252 с.: ил.
6. Шило В.Л. Популярныe микросхемы ТТЛ: Серии: КР1533, КР1531, К531, К555, К155. – М.: Аргус, 1993. – 64 с.: ил.
7. Аванесян Г.Р., Беспалов А.А. Униполярные интегральные микросхемы: справочное пособие. – М.: Горячая линия-Телеком, 2003. – 220 с.: ил. – (Массовая радиобиблиотека; Вып. 1264).
8. ГОСТ 2.743–91. Единая система конструкторской документации. Обозначения условные графические в схемах. Элементы цифровой техники.

ОГЛАВЛЕНИЕ

Введение.....	3
Синтез электронных схем по заданной функции	5
Исследование мультиплексоров и построение схем на основе мультиплексоров	20
Увеличение разрядности мультиплексоров и дешифраторов. Изучение семисегментного дешифратора	31
Организация и исследование схем полусумматора и сумматора на основе мультиплексоров и элементов простой логики	42
Исследование микросхем арифметических устройств	52
Исследование триггеров и схем на их основе.....	64
Исследование электронных счетчиков.....	74
Организация сдвигового регистра и генератора псевдослучайной последовательности на базе D-триггеров.....	83
Исследование микросхем регистров сдвига и синтез схем на их основе	92
Требования к представлению отчета по лабораторной работе.....	104
Список литературы.....	105
Заключение.....	106

Учебное издание

ГУБАРЕВ Фёдор Александрович
АНДРЮЩЕНКО Ольга Игоревна

Цифровые устройства

Учебное пособие

Научный редактор *доктор технических наук,*
доцент А.И. Солдатов

Компьютерная верстка *Ф.А. Губарев*
Дизайн обложки

Подписано к печати . Формат 60x84/16. Бумага «Снегурочка».
Печать XEROX. Усл.печ.л. . Уч.-изд.л. .
Заказ . Тираж 100 экз.



Национальный исследовательский Томский политехнический университет
Система менеджмента качества
Томского политехнического университета сертифицирована
NATIONAL QUALITY ASSURANCE по стандарту ISO 9001:2008



ИЗДАТЕЛЬСТВО  ТПУ. 634050, г. Томск, пр. Ленина, 30
Тел./факс: 8(3822)56-35-35, www.tpu.ru